



**Figura 43.** Simboli circuitali ed esempi di schemi elettrici di latch con segnali di set o reset asincroni.

- a) Reset asincrono, attivo al livello logico alto ( $Q = 0$  quando  $R = 1$ ),
- b) Set asincrono, attivo al livello logico alto ( $Q = 1$  quando  $S = 1$ ),
- c) Reset asincrono, attivo al livello logico basso ( $Q = 0$  quando  $R = 0$ ),
- d) Set asincrono, attivo al livello logico basso ( $Q = 1$  quando  $S = 0$ ).