

Figura 4. Esempio di chip con Standard Cell e blocchi full custom.

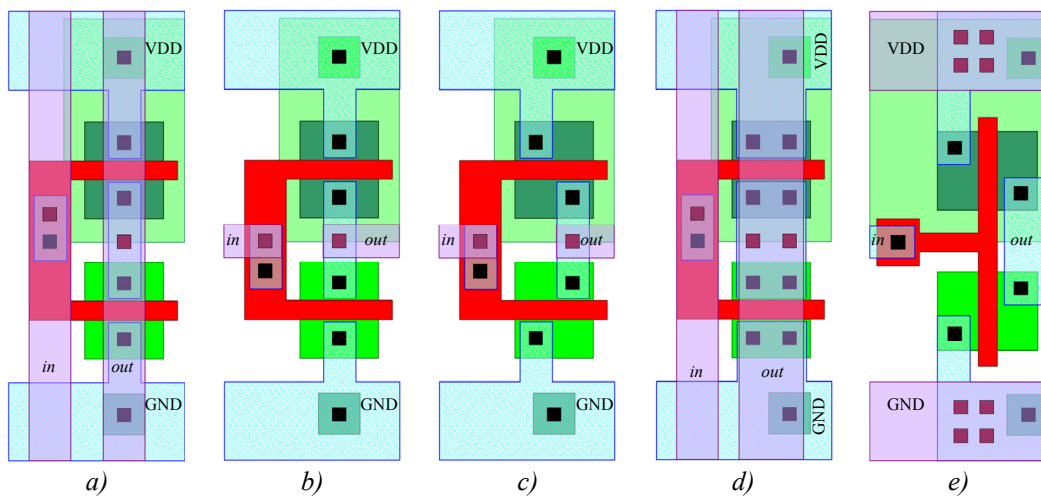


Figura 5. Inverter: differenti layout e modalità di interconnessione.

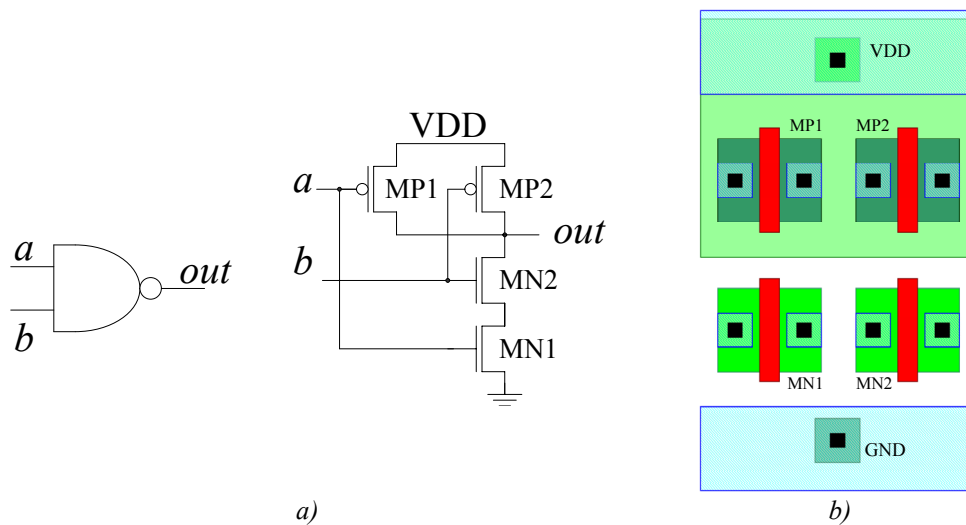


Figura 6. Simbolo e schema circuitale di una porta NAND (a) e layout dei transistori (b).

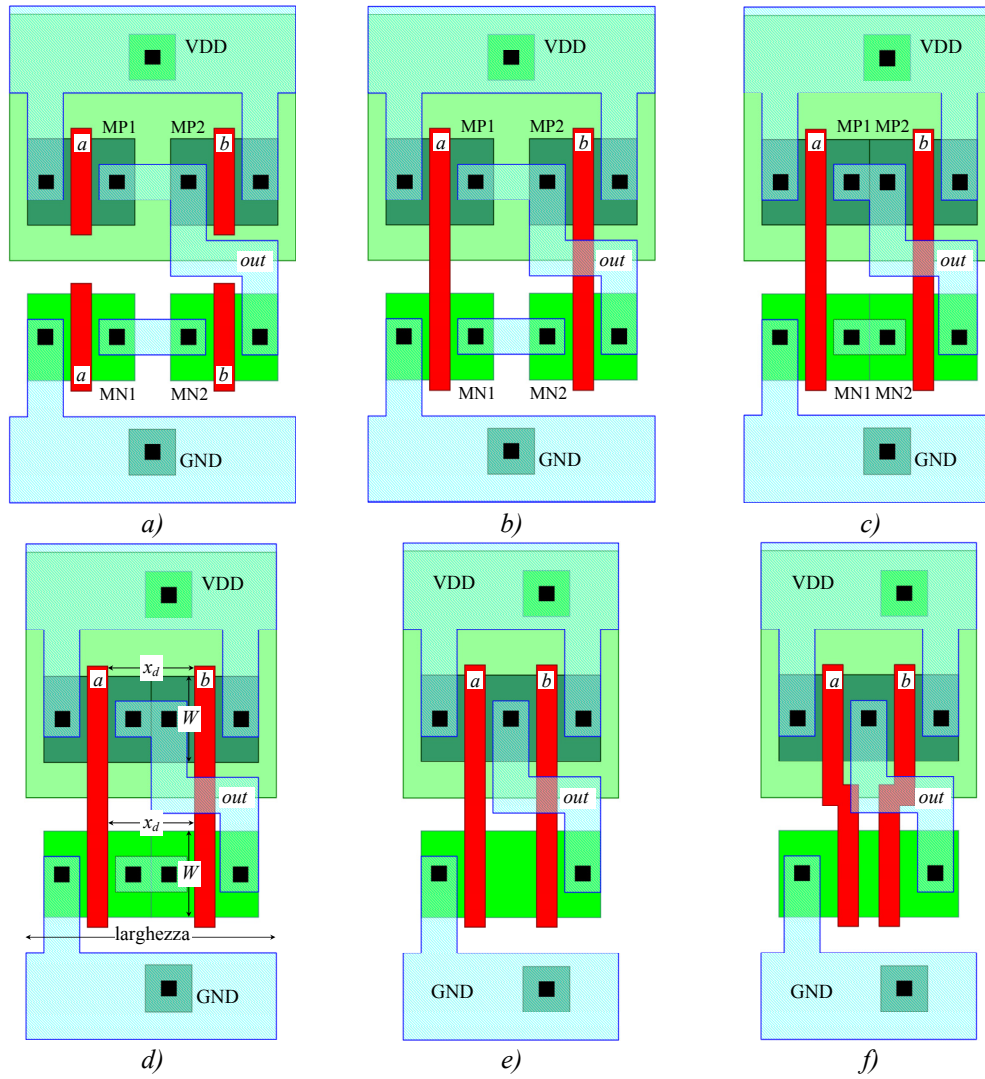


Figura 7. Disegno e ottimizzazione del layout di una porta NAND.

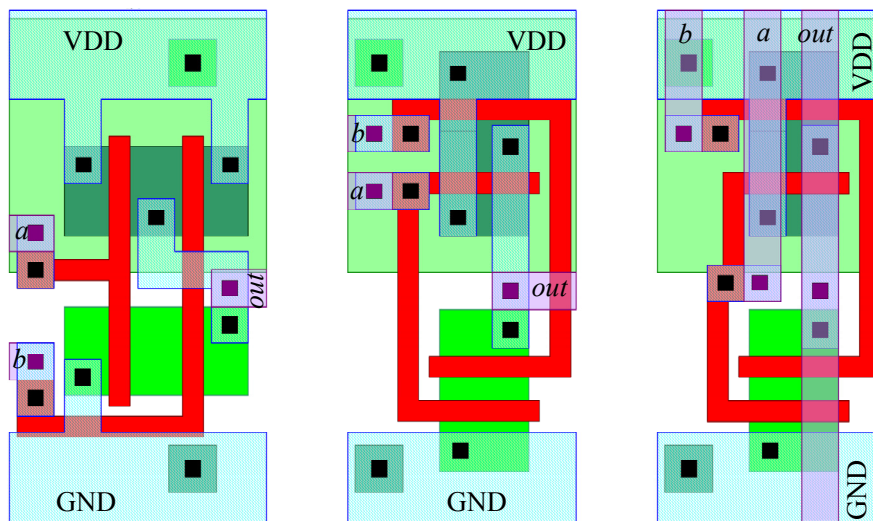


Figura 8. Porta NAND. Differenti layout e modalità di interconnessione.

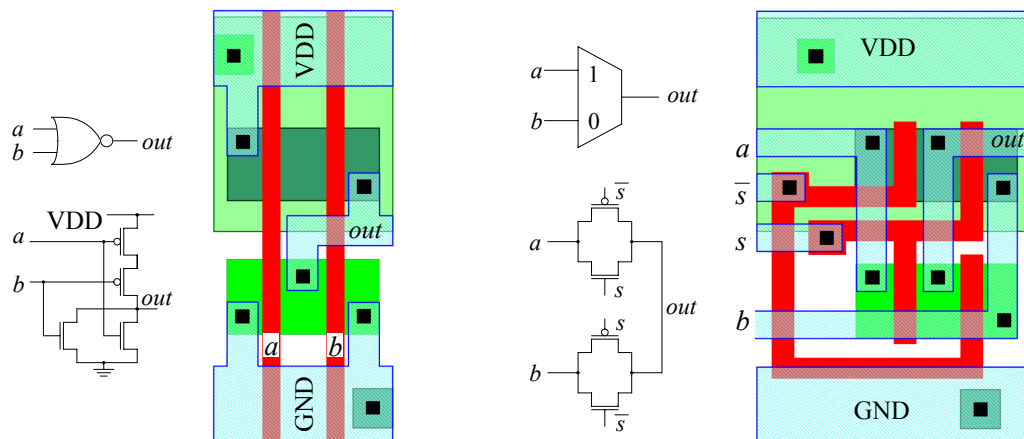


Figura 9. Porta NOR e multiplexer.

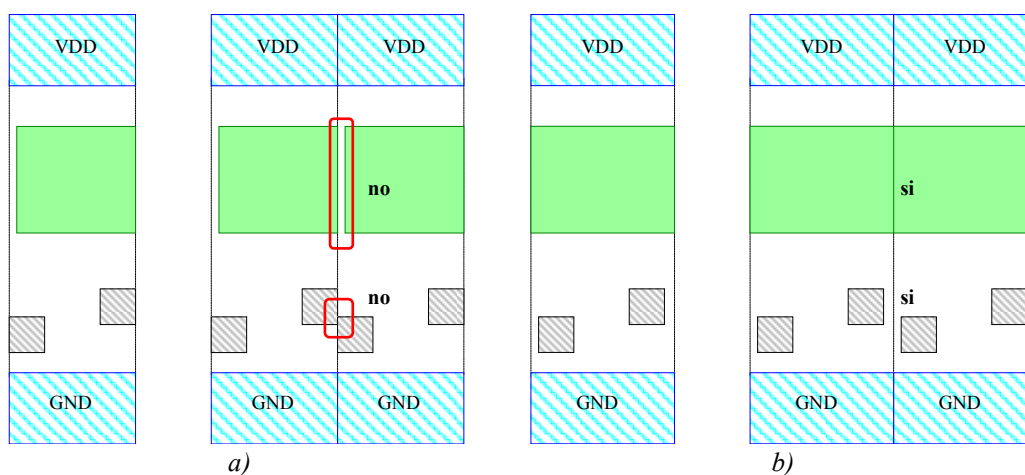


Figura 11. a) Problemi nell'utilizzo delle celle che non rispettano le regole di layout alla periferia; b) esempio di struttura corretta.

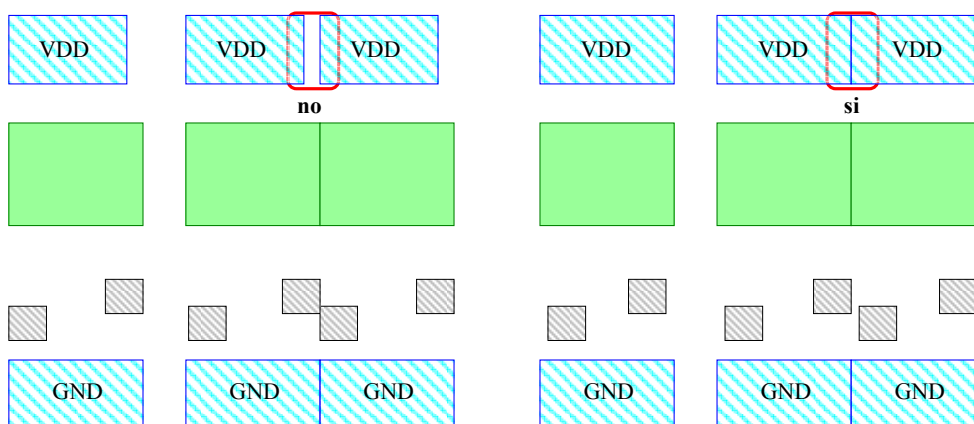


Figura 12. Continuità elettrica delle alimentazioni durante l'affiancamento dei layout.

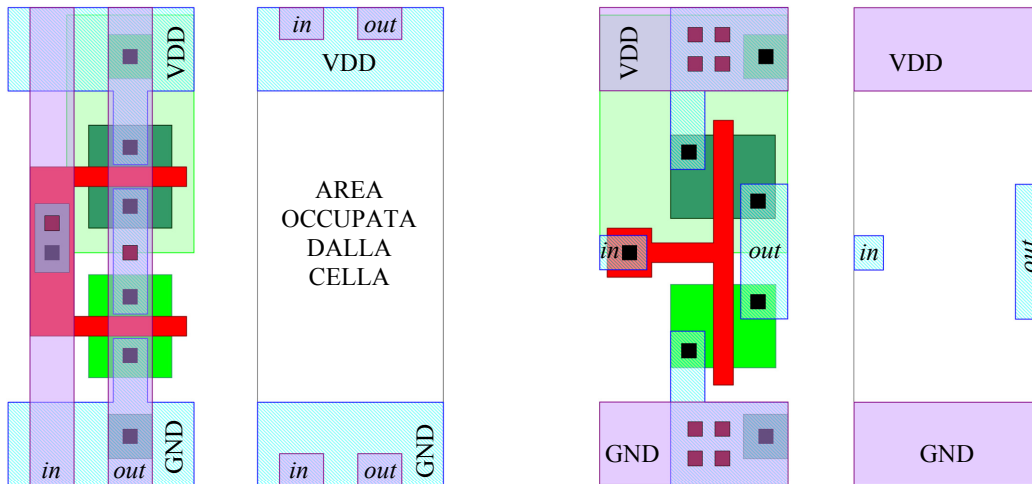


Figura 13. Esempi di layout e rappresentazioni a un livello gerarchico superiore (simbolo).

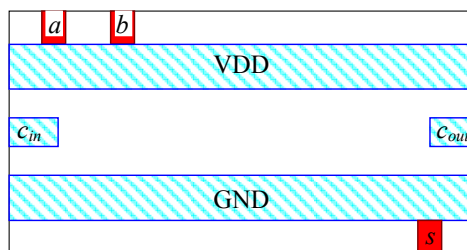


Figura 14. Cella mirror adder.

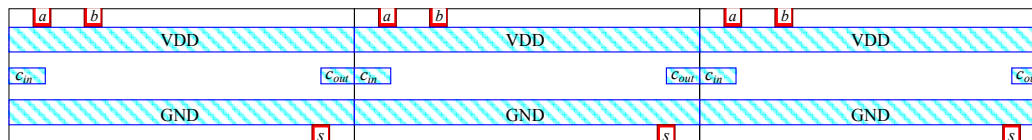


Figura 15. Layout di un Ripple Carry Adder a 4 bit.

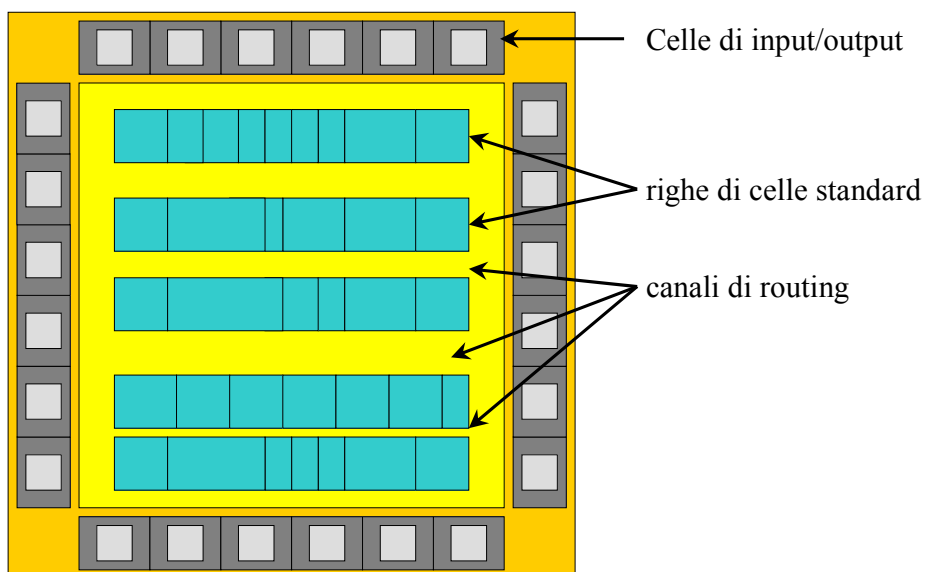


Figura 16. Aspetto di un chip progettato mediante Standard Cell.

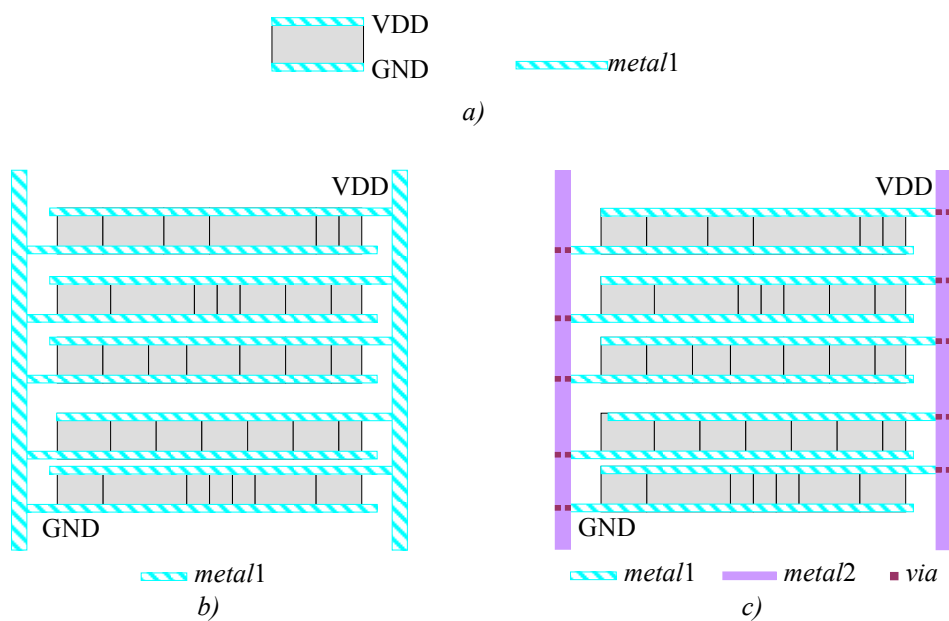


Figura 17. Esempi di connessioni alle alimentazioni: a) cella standard; b) connessioni in metal1; c) connessioni mediante passaggio in metal2.

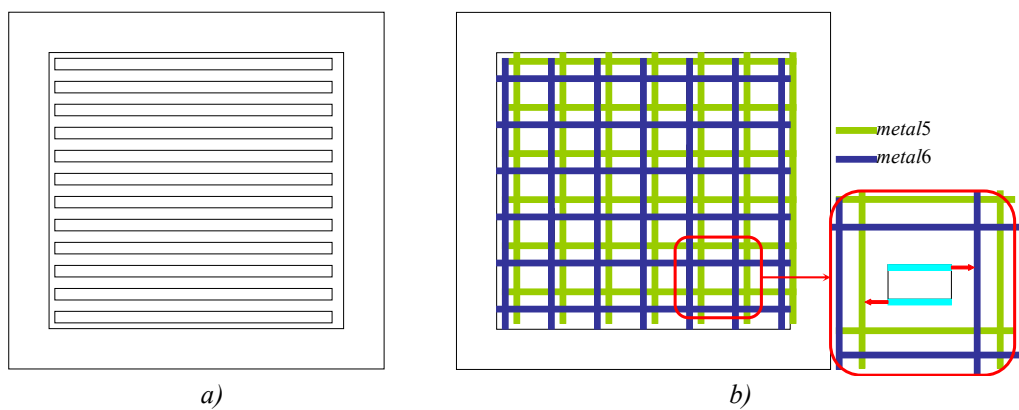


Figura 18. a) ASIC Standard Cell; b) distribuzione delle alimentazioni.

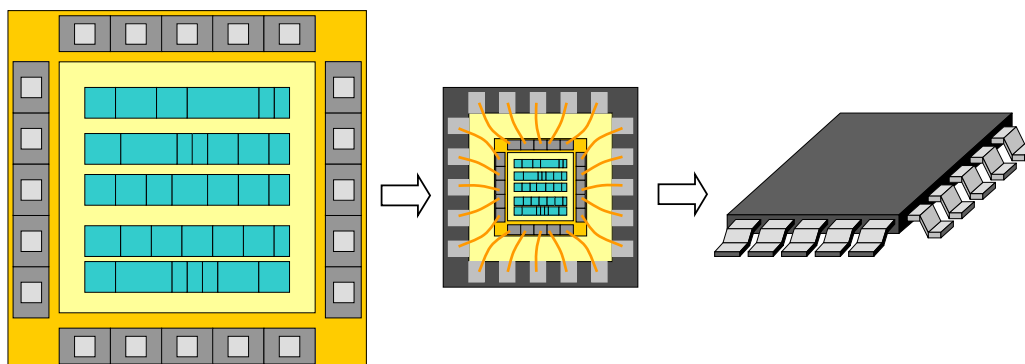


Figura 20. Connessione del chip al package.

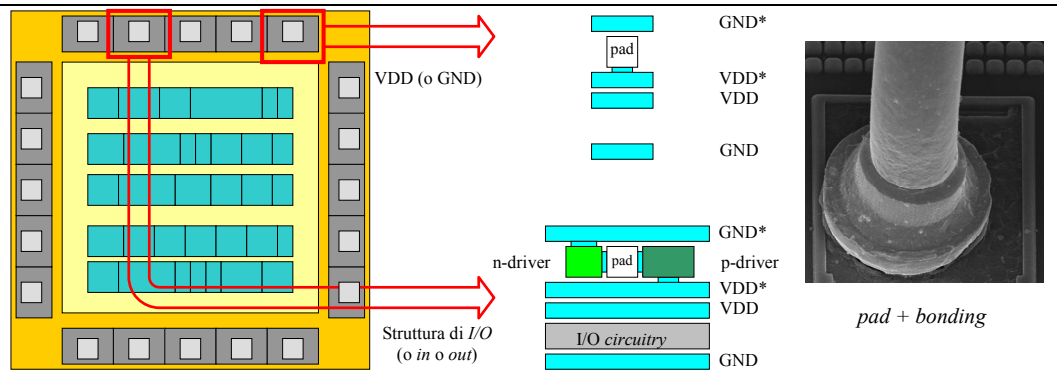


Figura 21. Esempi di strutture per la connessione del chip al mondo esterno.

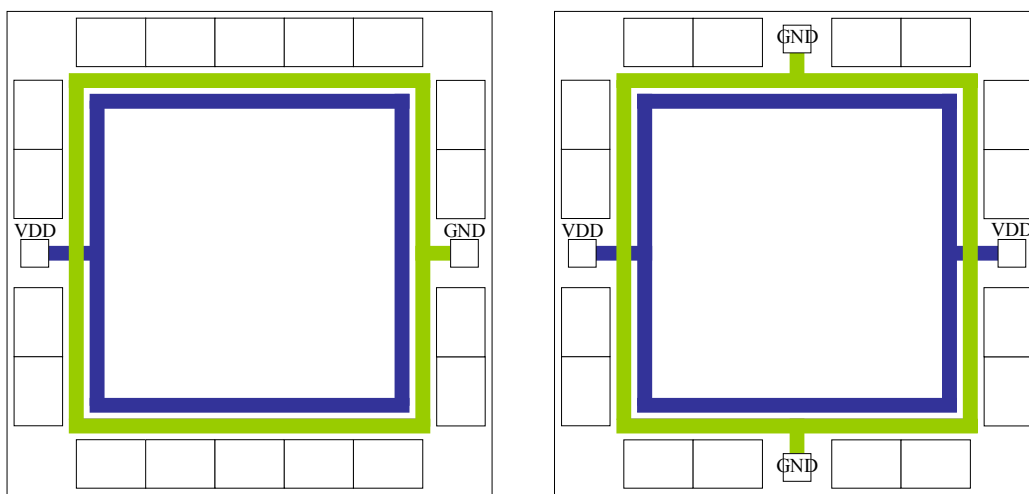


Figura 22. Connessione delle alimentazioni del chip ai pad VDD e GND.

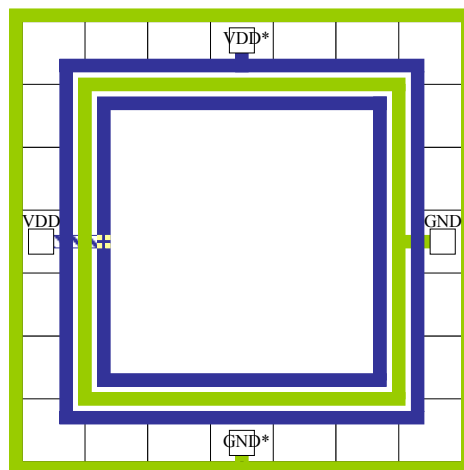


Figura 23. Chip con alimentazioni digitali differenti.

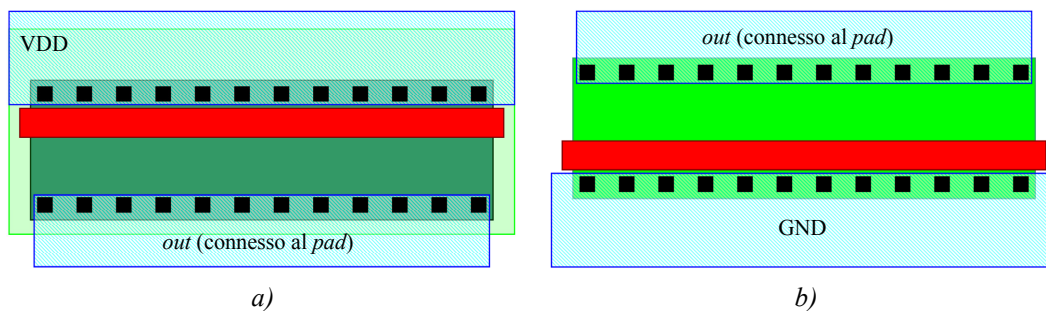


Figura 27. Esempio di transistori di uscita: a) PMOS; b) NMOS.

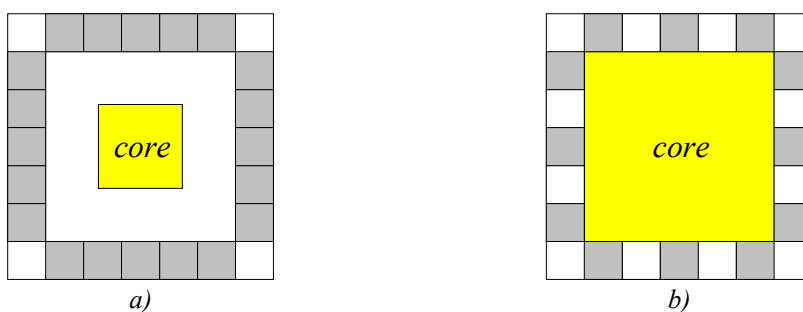


Figura 31. a) Circuito pad limited; b) circuito core limited (in bianco le aree che non contengono circuiterie).

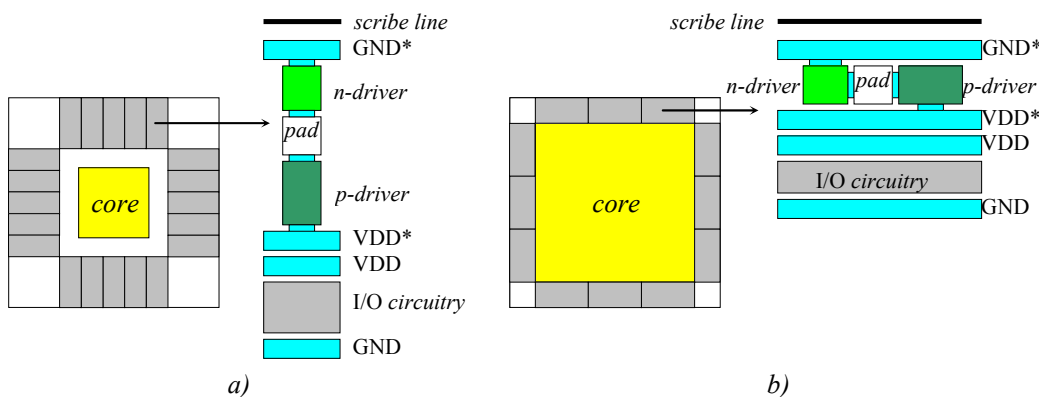


Figura 32. a) Pad per chip pad limited; b) pad per chip core limited.

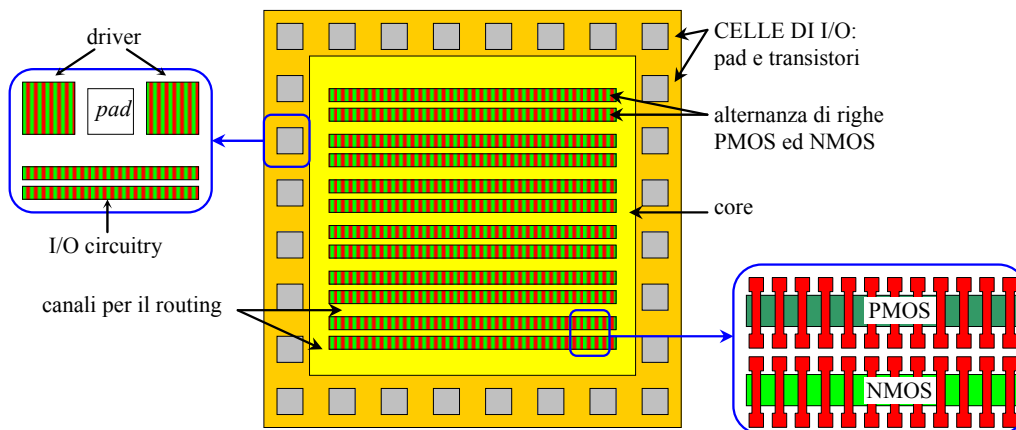


Figura 33. Aspetto di un circuito integrato tipo Gate Array dopo la fase di integrazione dei transistori (per semplicità non è indicata la diffusione di well).

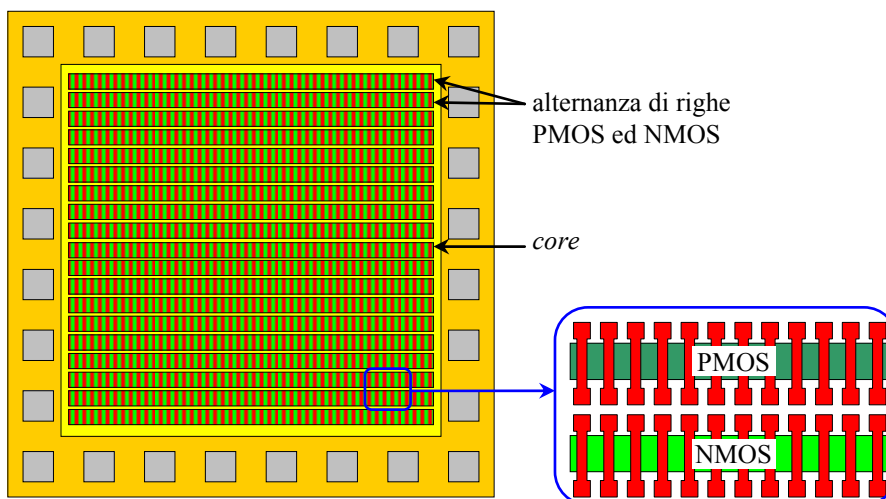


Figura 34. Aspetto di un circuito integrato tipo Sea of Gates (channel-less Gate Array) dopo la fase di integrazione dei transistori (per semplicità non è indicata la diffusione di well).

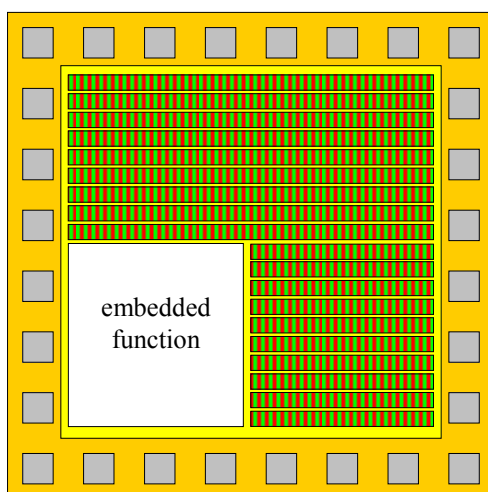


Figura 35. Architettura di un circuito integrato tipo embedded Gate Array.

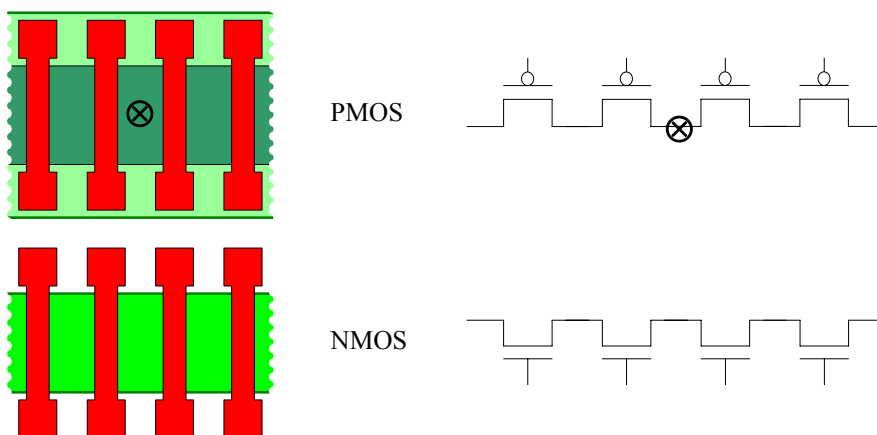


Figura 37. Struttura fisica e schema equivalente di una riga di transistori PMOS e una riga di transistori NMOS (entrambe le strutture si suppongono ripetute su entrambi i lati).

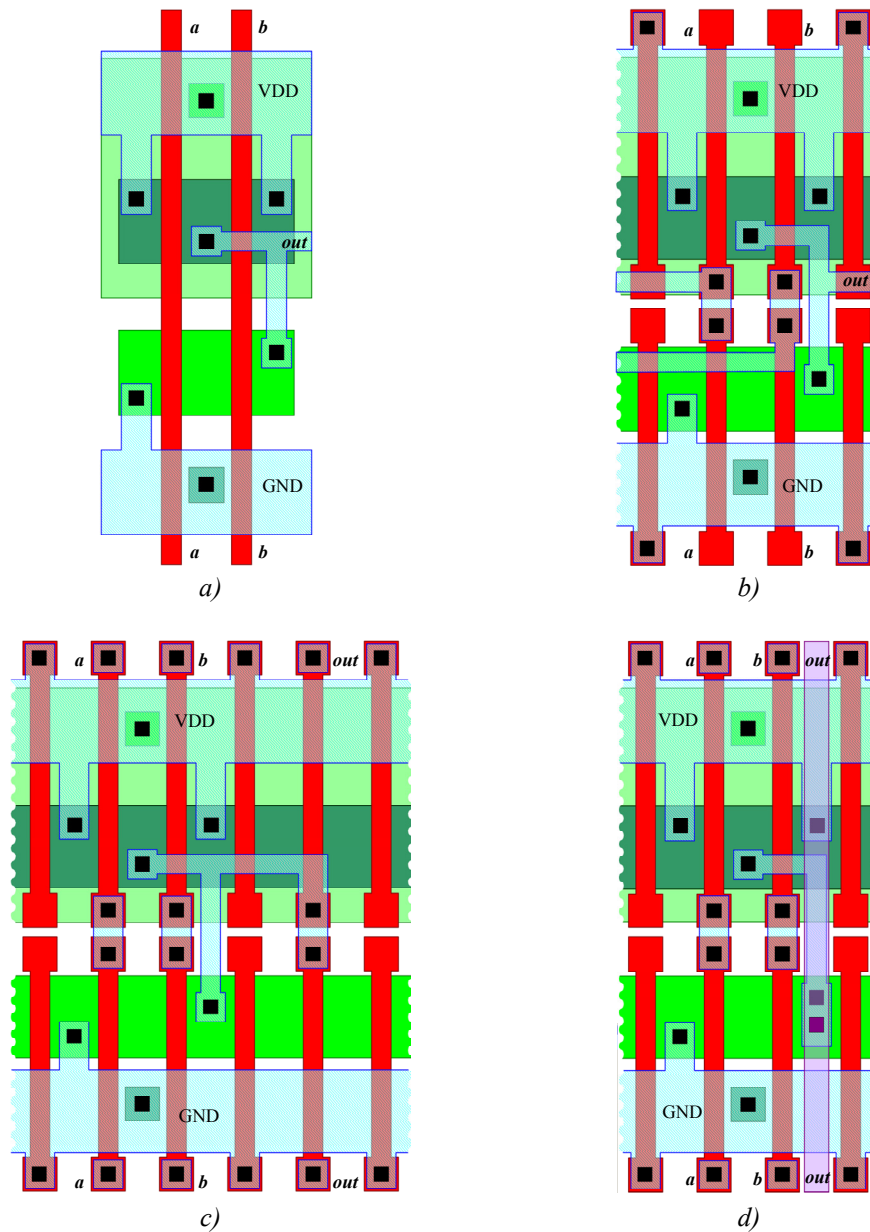


Figura 39. Layout di una porta NAND: a) su Standard Cell o Full Custom; b) su Gate Array con gate di isolamento, ingressi e uscita a sinistra e destra in metal1; c) su Gate Array con gate di isolamento, ingressi e uscite sui lati superiore e inferiore in metal1; d) su Gate Array con gate di isolamento, uscita sui lati superiore e inferiore in metal2.

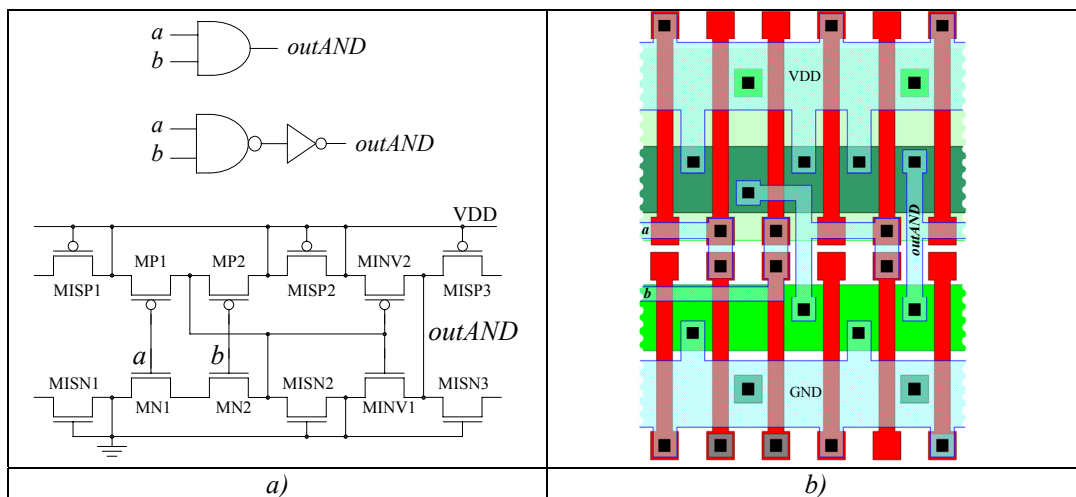


Figura 40. Schema circuitale (a) e layout (b) di una porta AND (=NAND + inverter) con gate di isolamento.

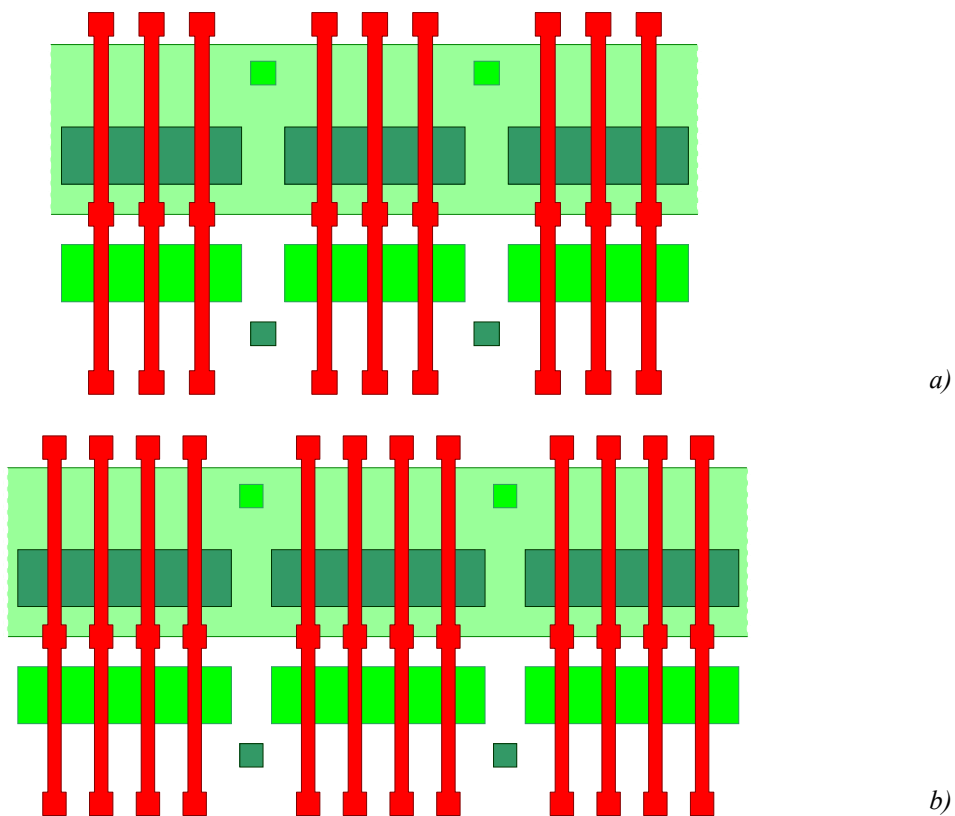


Figura 41. Righe di transistori isolati per geometria: a) gruppi di tre coppie di transistori; b) gruppi di quattro coppie di transistori.

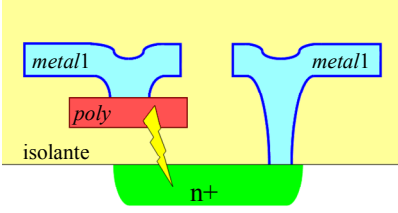
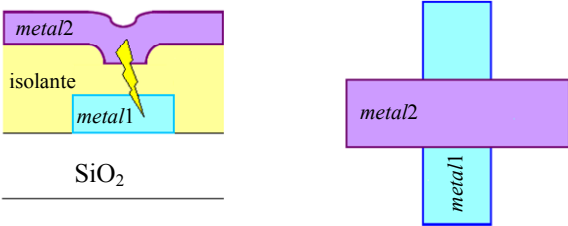
 <p>Si vista trasversale</p>	<p>antifuse occupa lo spazio di un transistore</p>	
	R_{OFF}	$100\text{ M}\Omega$
	R_{ON}	$200\div 500\ \Omega$
 <p>Si vista trasversale vista dall'alto</p>	<p>via link di dimensioni più ridotte</p>	
	R_{OFF}	$1\text{ G}\Omega$
	R_{ON}	$50\div 80\ \Omega$

Figura 48. Esempio di interconnessione programmabile delle celle elementari: antifuse e via link.