

Figura 1. Ciclo di produzione di un dispositivo integrato.

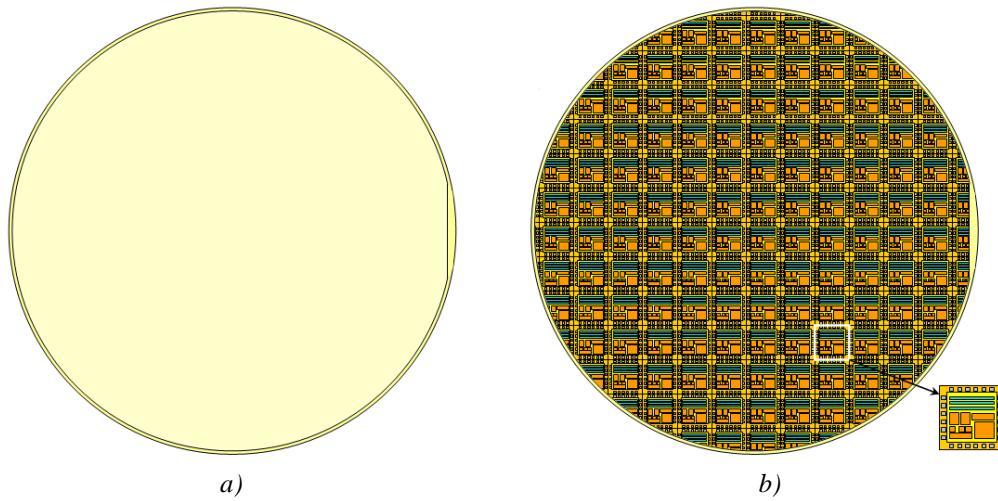


Figura 2. Fetta: a) prima della lavorazione; b) a lavorazione ultimata.

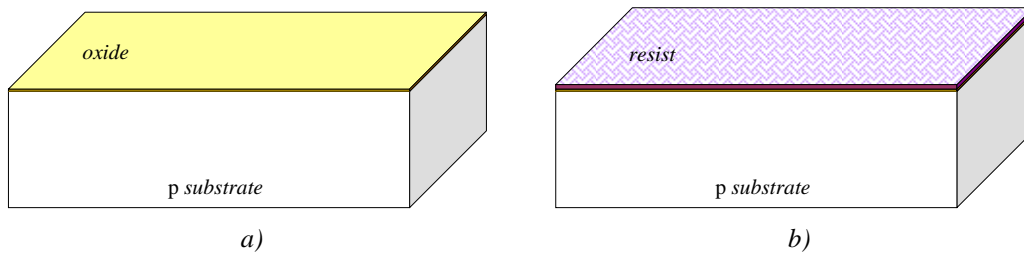


Figura 3. Lavorazione del silicio: a) ossidazione; b) deposizione del resist.

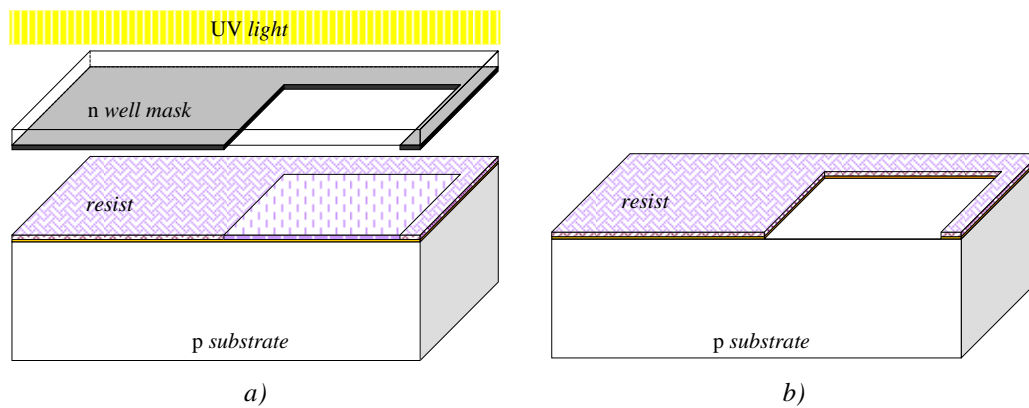


Figura 4. Lavorazione mediante resist: a) impressione; b) attacco dell'ossido non protetto.

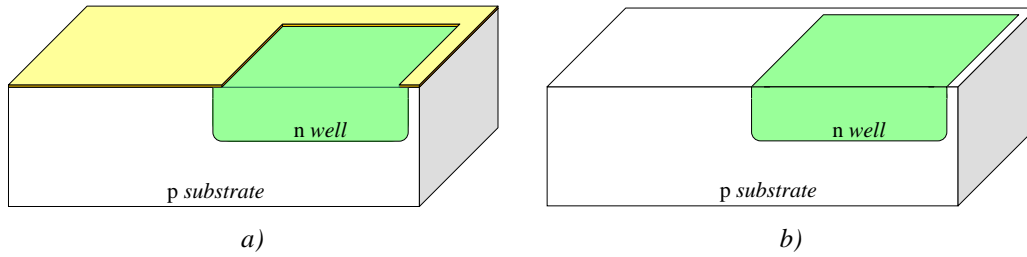


Figura 5. a) Diffusione della regione di n well; b) silicio lavorato dopo l'asportazione dell'ossido.

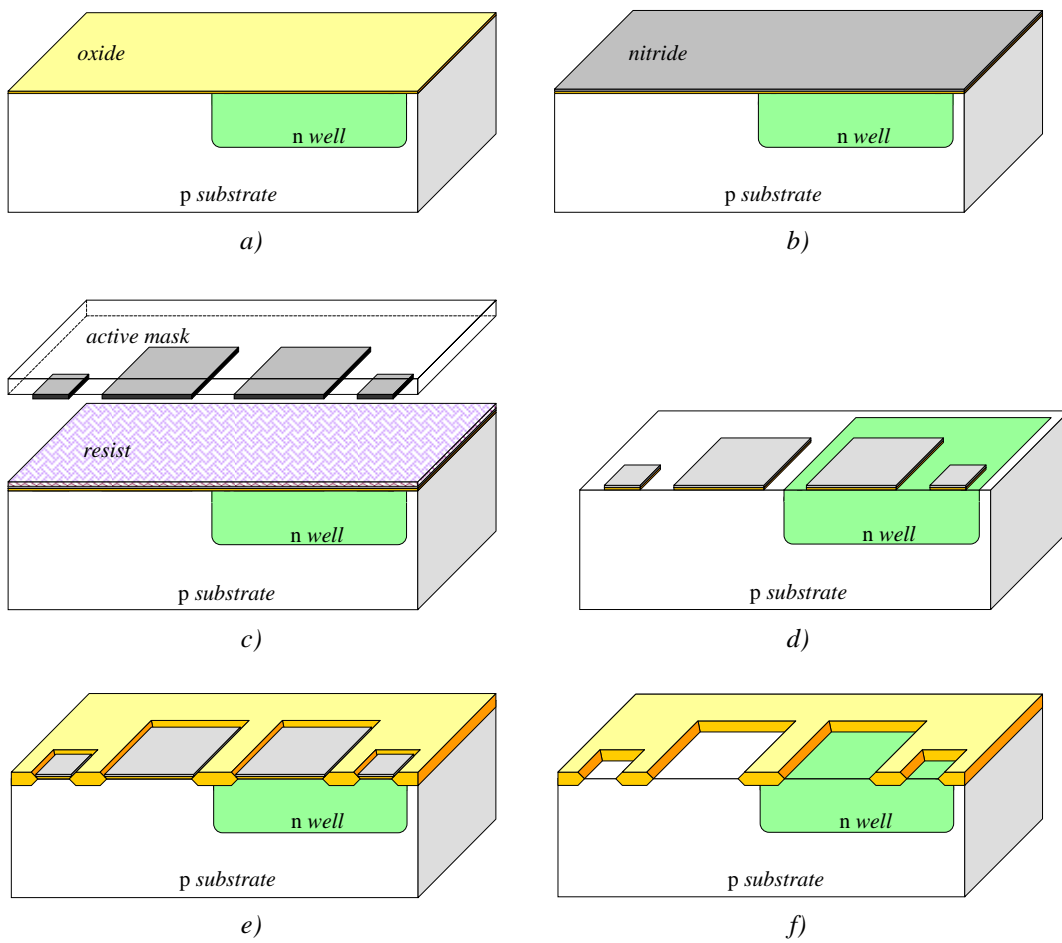


Figura 6. Definizione delle regioni fortemente drogate n e p: a) ossidazione; b) copertura con nitruro di silicio; c) copertura con resist, impressionamento mediante utilizzo di una maschera opportuna; d) regioni protette dal nitruro; e) crescita dell'ossido di campo; f) eliminazione delle geometrie sacrificali.

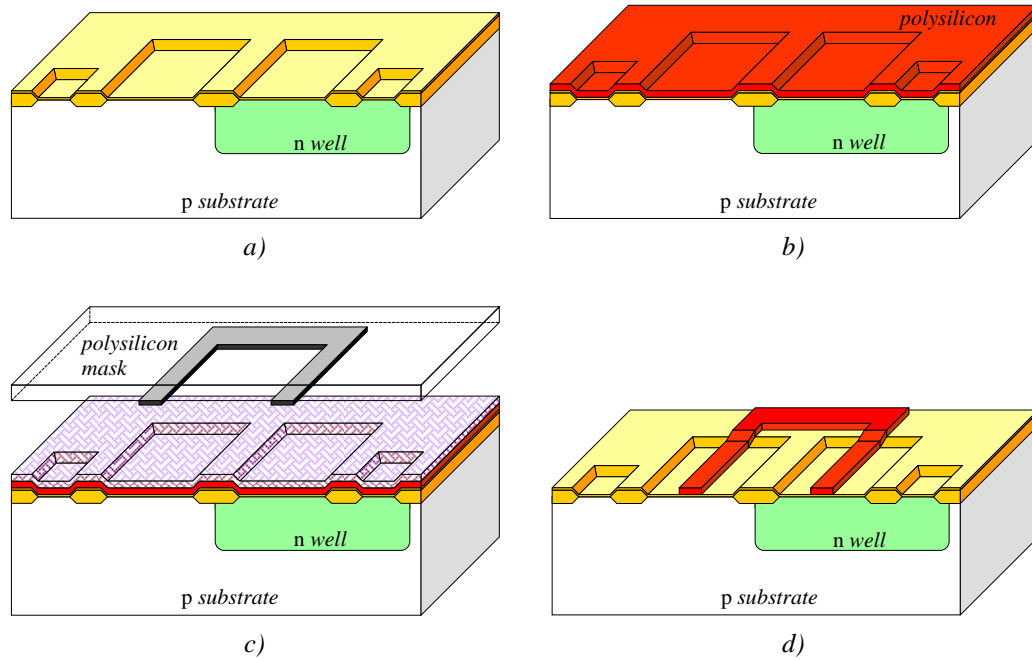


Figura 7. a) Ossido di gate; b) deposizione del polisilicio; c) mascheratura; d) geometria finale.

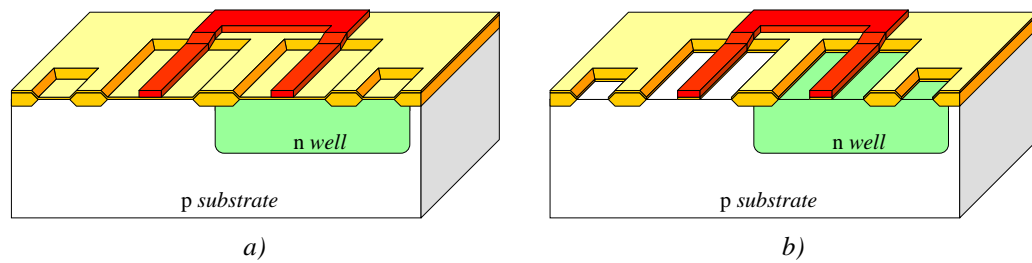


Figura 8. Fette pronte per la creazione delle zone diffuse: a) con ossido sottile sulle zone da drogare; b) senza ossido sottile sulle zone da drogare.

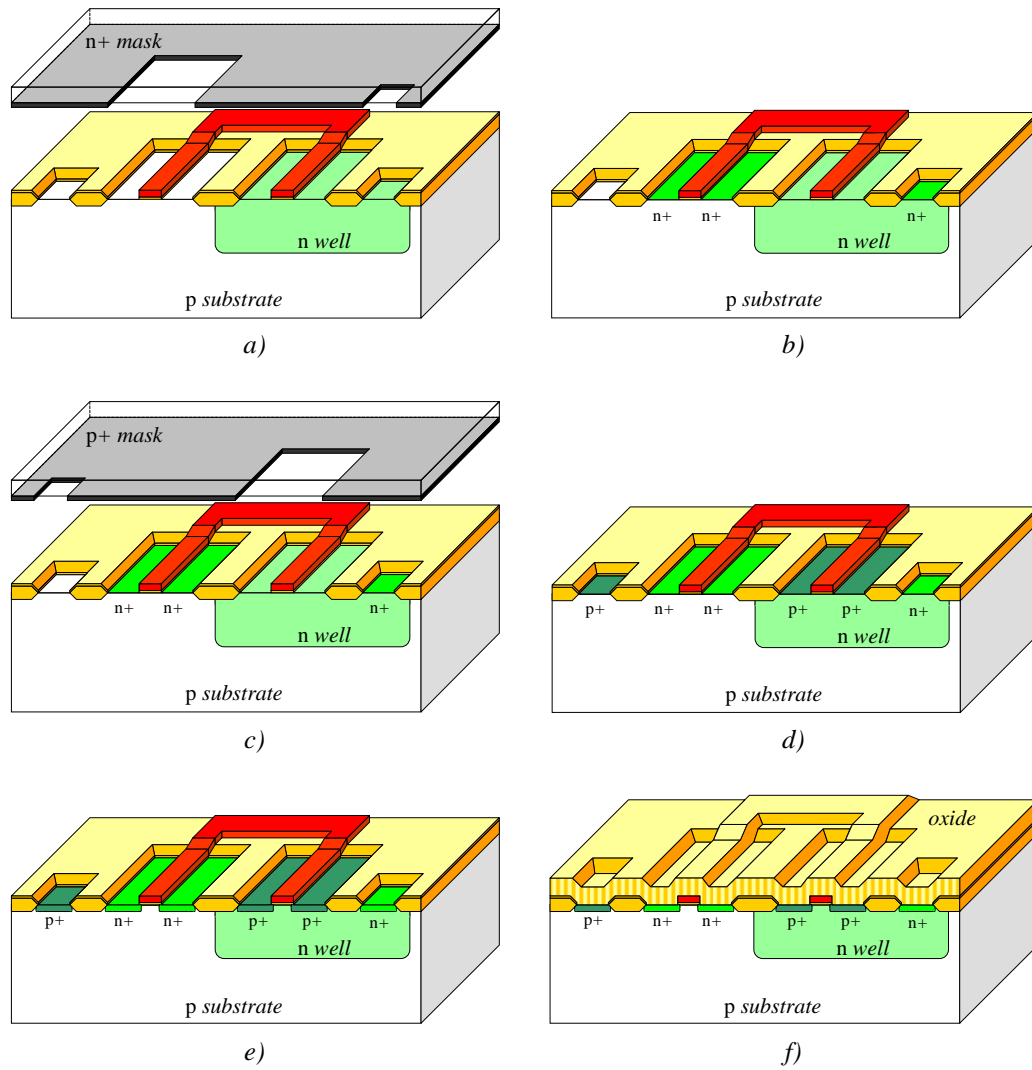


Figura 9. a), b) Definizione e realizzazione delle zone diffuse n+; c), d) definizione e realizzazione delle zone diffuse p+; e) diffusione delle impurità (nei processi moderni tipicamente si effettua l'impiantazione ionica; f) protezione mediante ossido.

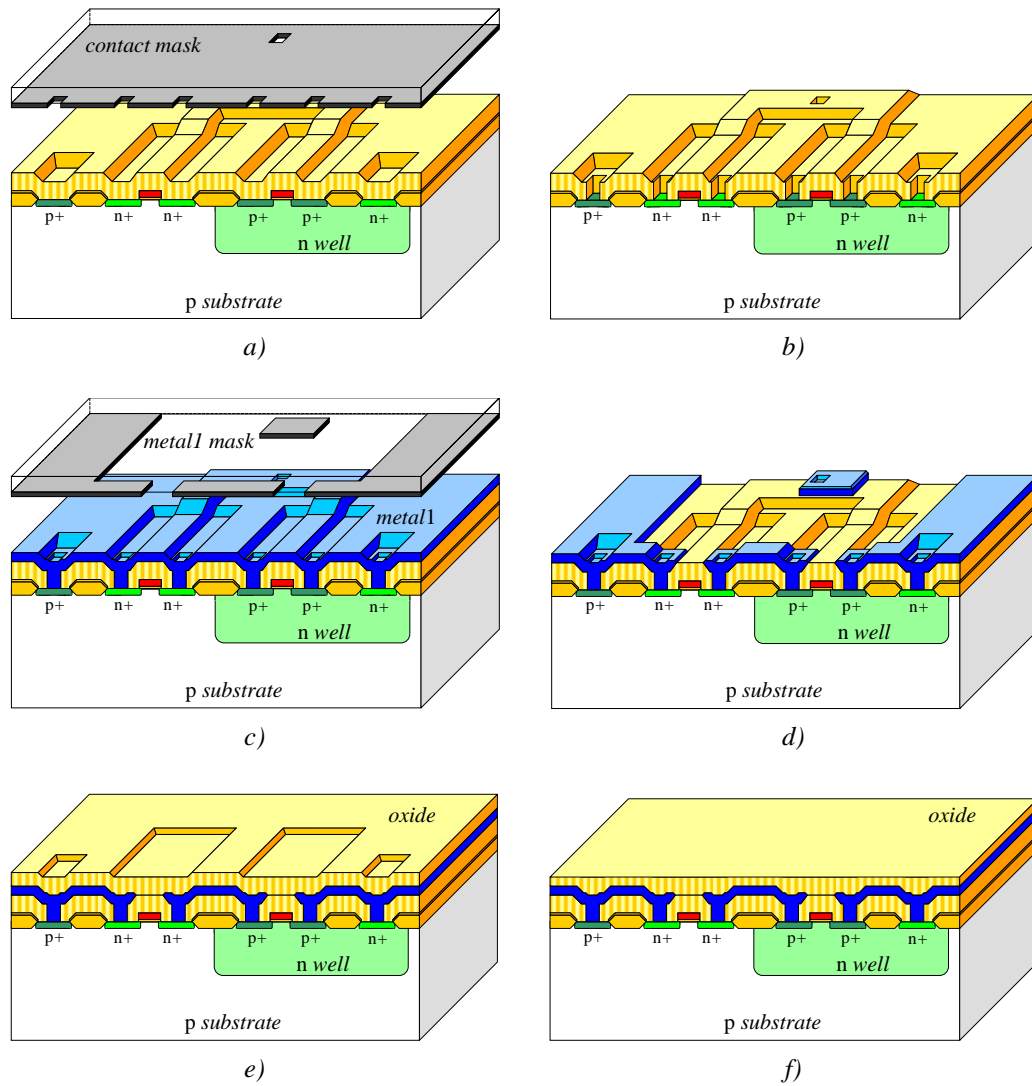


Figura 10. Apertura dei fori per i contatti e lavorazione del primo strato di metallizzazione (metal1).

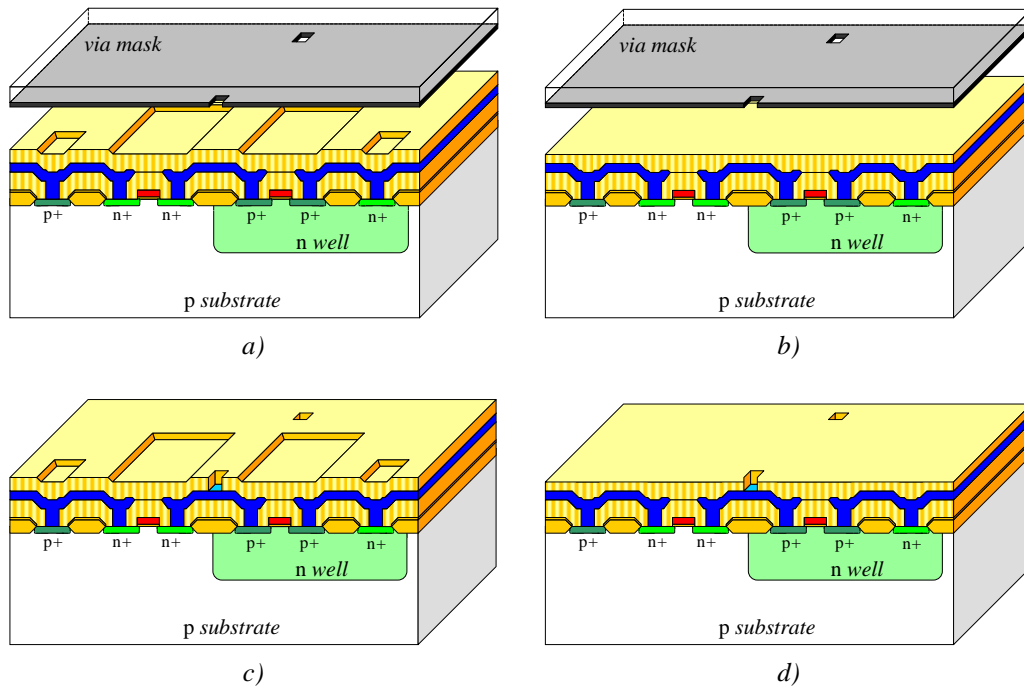


Figura 11. Apertura dei fori di via (nella colonna di sinistra lavorazione senza planarizzazione, nella colonna di destra lavorazione con planarizzazione).

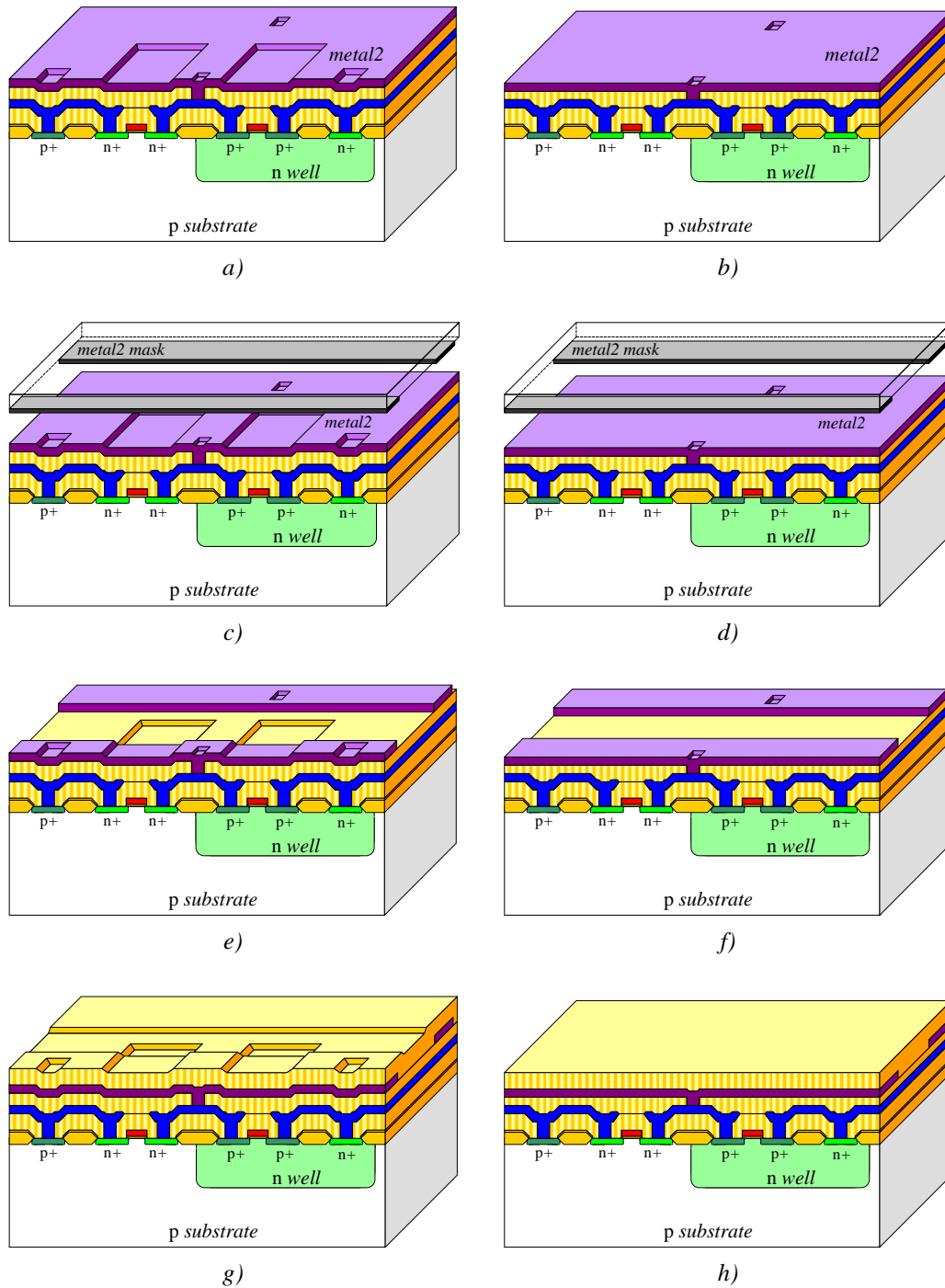
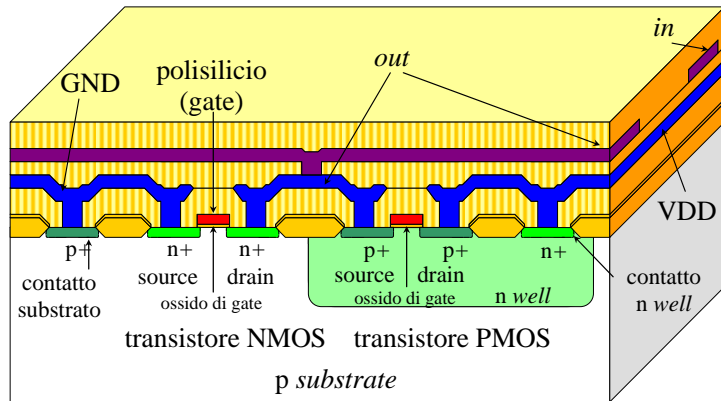
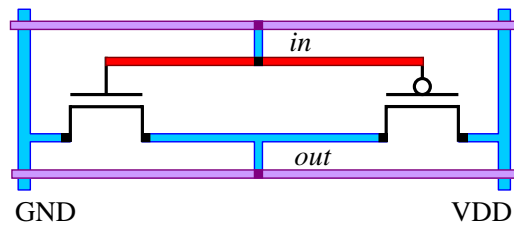


Figura 12. Lavorazione del secondo livello di metallizzazione (nella colonna di sinistra lavorazione senza planarizzazione, nella colonna di destra lavorazione con planarizzazione).



a)



b)

Figura 13. Struttura fisica (a) e corrispondente schema elettrico (b).

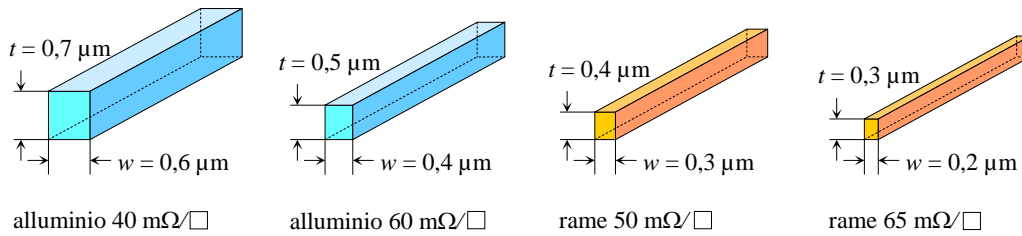


Figura 14. Valori risultanti di R_S per differenti strutture.

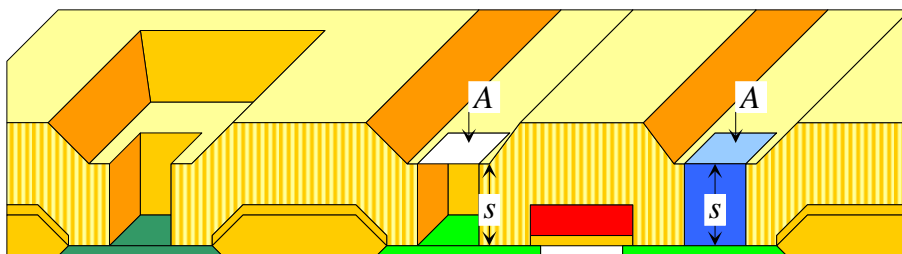


Figura 15. Dimensioni associate al conduttore che va a costituire il contatto.

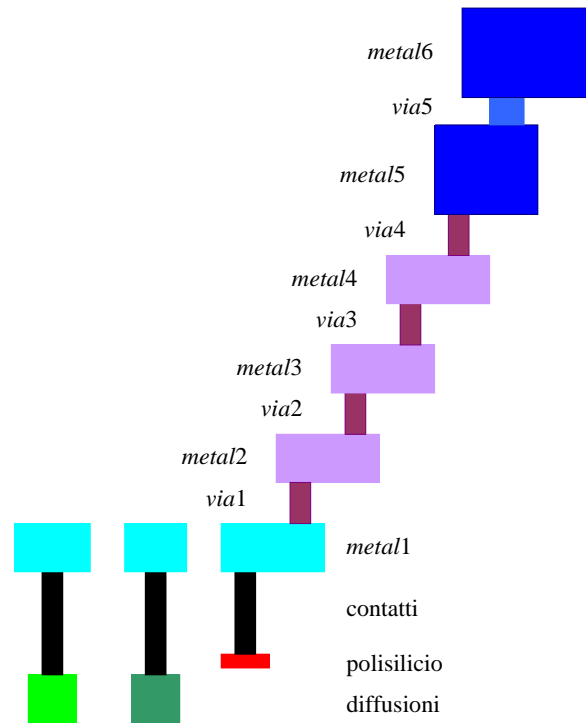


Figura 16. Visione schematica dei differenti spessori di metallizzazione e dimensione dei contatti e via.

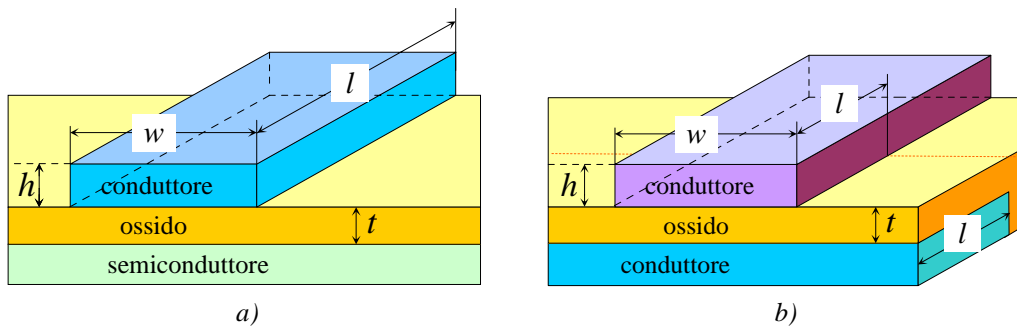


Figura 17. Condensatore a piatti piani paralleli costituito dalla successione dei materiali: a) conduttore – ossido – semiconduttore; b) conduttore – ossido – conduttore.

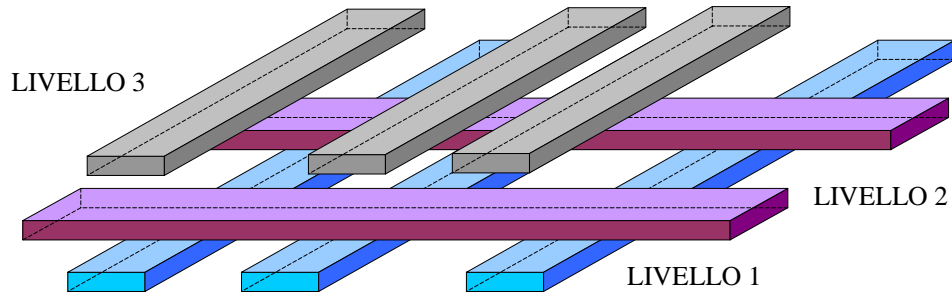
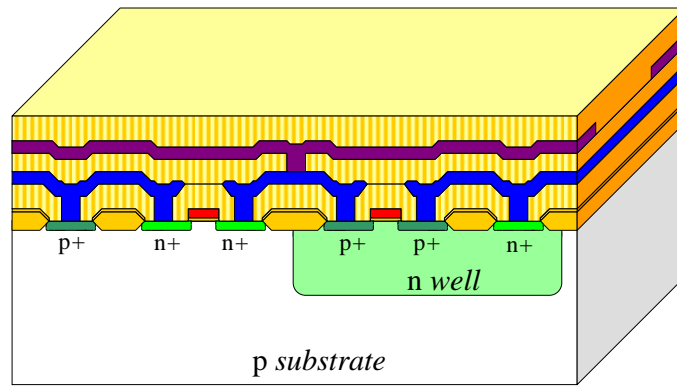
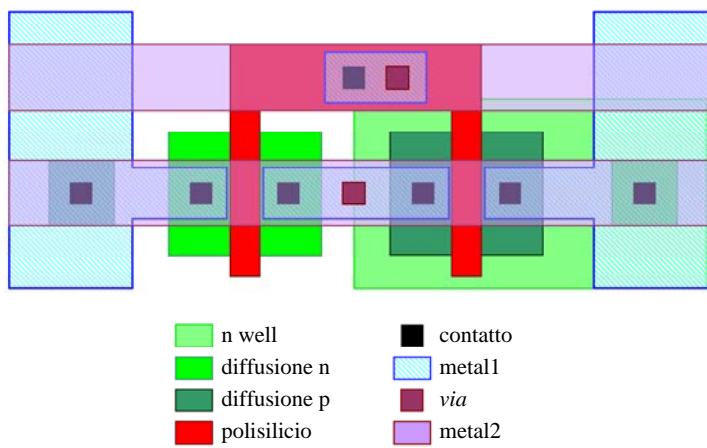


Figura 18. Esempio di disposizione di linee di interconnessione. Le linee sono disposte su tre livelli, separate da ossido (supposto trasparente).



a)



b)

Figura 19. Inverter CMOS: a) struttura fisica; b) layout.

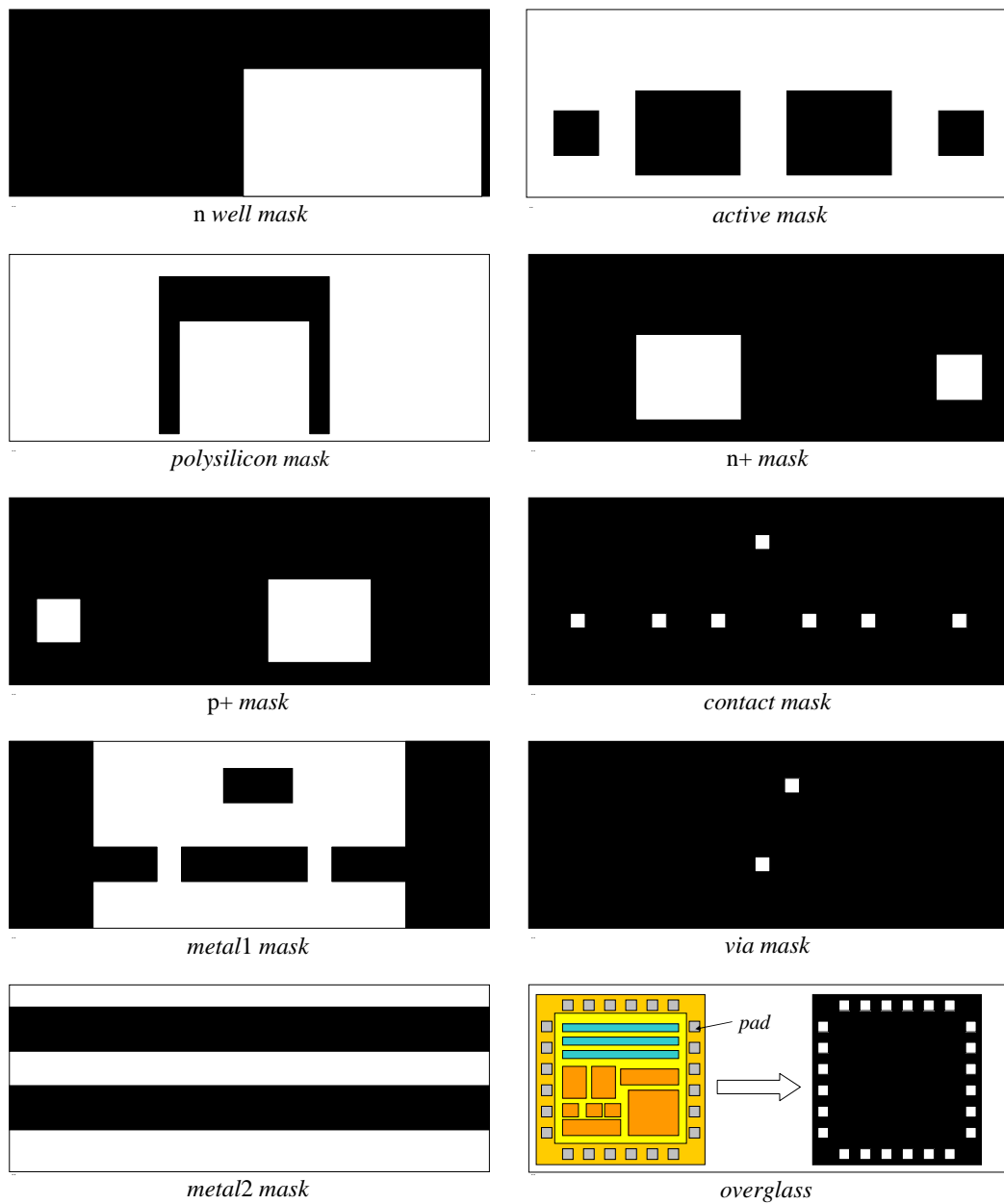


Figura 20. Insieme delle maschere necessarie per la realizzazione dell'inverter; *overglass* è la maschera che permette di ricoprire tutta la fetta di ossido, tranne nei punti dove si avrà l'apertura dei pad per la connessione del circuito elettronico con altri dispositivi; normalmente quest'ultima maschera è un reticolo completo, mentre tutte le altre devono essere utilizzate a step sulla fetta.

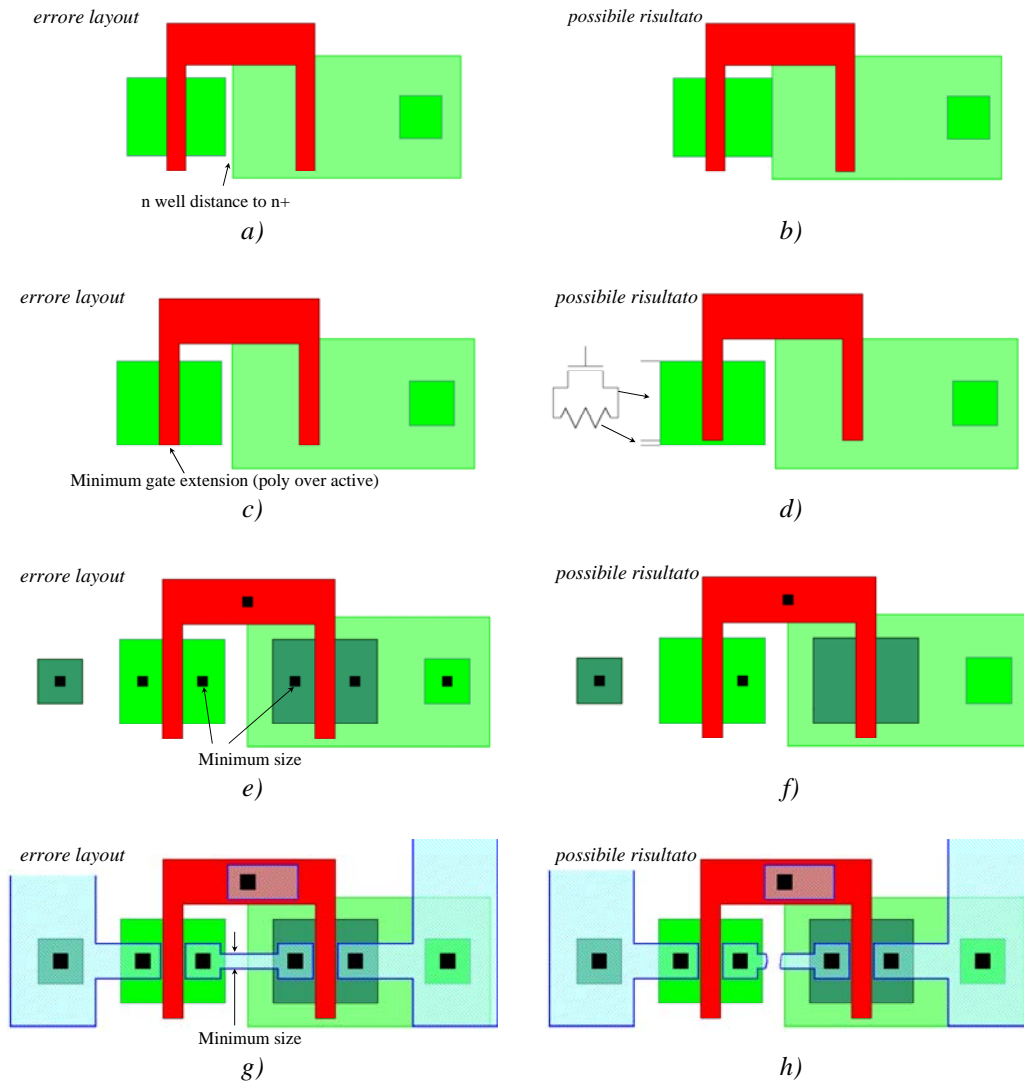


Figura 21. Errori nel posizionamento delle maschere o nell'errato dimensionamento delle strutture/distanze.

N-well

- RN1 Minimum size
- RN2 Minimum spacing

Active area

- RA1 Minimum size
- RA2 Minimum spacing
- RA3 N-well overlap of p+
- RA4 N-well overlap of n+
- RA5 N-well distance to n+
- RA6 N-well distance to p+

Poly1

- RP1 Minimum size
- RP2 Minimum spacing
- RP3 Minimum gate extension of poly over active
- RP4 Minimum poly-active edge spacing (poly outside active area)

Contact

- RC1 Minimum size
- RC2 Minimum poly contact spacing
- RC3 Minimum overlap of poly
- RC4 Minimum poly contact to metal1 edge spacing
- RC5 Minimum poly contact to active edge spacing
- RC6 Minimum active contact spacing (on the same active region)
- RC7 Minimum overlap of active region
- RC8 Minimum active contact to poly edge spacing
- RC9 Minimum overlap of metal1

Metal1

- RM1 Minimum metal1 width
- RM2 Minimum metal1 spacing

Via

- RV1 Minimum size
- RV2 Minimum spacing
- RV3 Minimum metal1 overlap
- RV4 Minimum metal2 overlap

Metal2

- RX1 Minimum metal2 size
- RX2 Minimum metal2 spacing

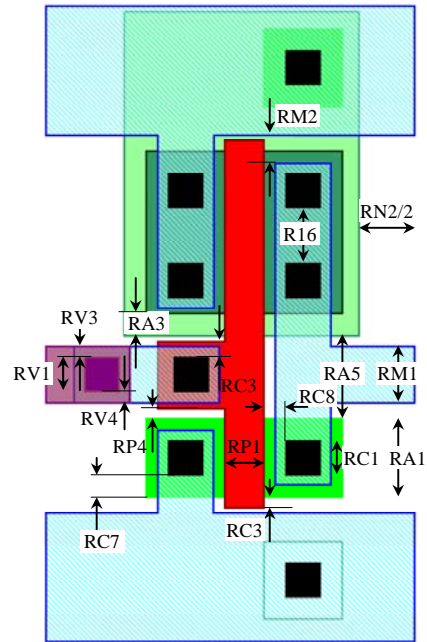


Figura 22. Esempi di regole di layout.

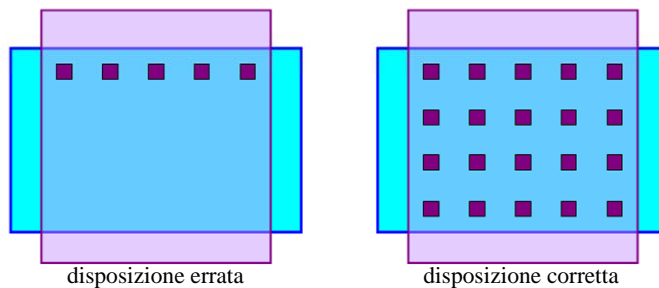


Figura 23. Strategie di distribuzione dei contatti (o dei fori di via) tra layer differenti.

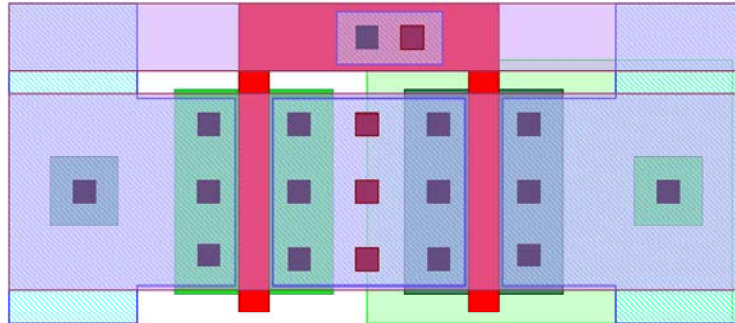


Figura 24. Contatti su regioni diffuse di source e di drain.