

Sistema Digitale di Elaborazione Dati NMR

Introduzione

Le attività svolte riguardano la simulazione e progettazione di un sistema digitale di acquisizione dati per misure di Risonanza Magnetica Nucleare (NMR).

In tale sistema sono stati riconosciuti due macroblocchi fondamentali: il canale di ricezione e di trattamento dati e la parte di logica di controllo dell'esperimento che ingloba una macchina a stati per la temporizzazione dei dispositivi coinvolti nella misura.

Questa divisione ha permesso di condurre le fasi di progettazione in maniera sostanzialmente autonoma tra i due proponenti, focalizzando gli sforzi sugli obiettivi prestazionali.

Il lavoro degli autori si è fortemente correlato durante le fasi sperimentali, nelle successive revisioni nonché nelle fasi di validazione finale; portando al rispetto delle specifiche di progetto.

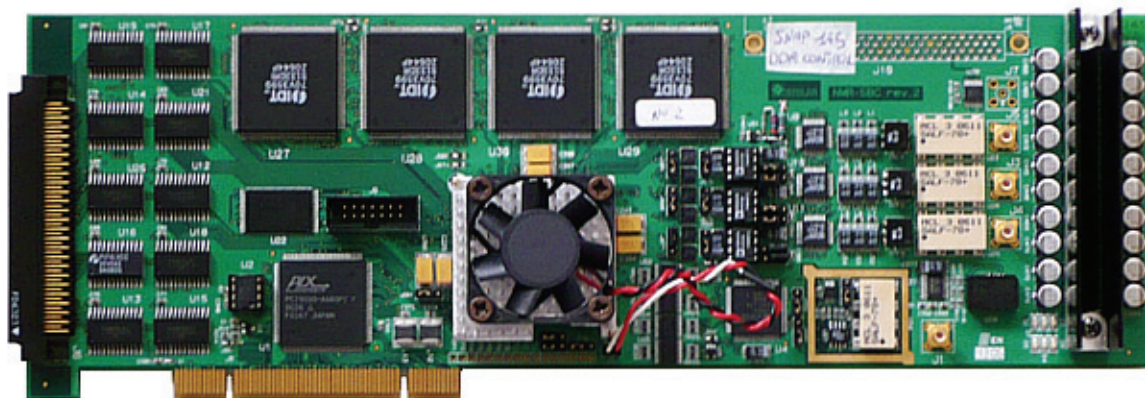


figura 1. Prototipo della scheda Digitale Stelar SB-NMR.

Canale di Ricezione e Condizionamento Dati

Il sistema adottato per la ricezione del segnale NMR prevede la traslazione in bassa frequenza del contenuto informativo utilizzando uno schema a conversione digitale diretta.

Il segnale ricevuto (f_{IN}) viene infatti immediatamente digitalizzato da un convertitore A/D veloce e le operazioni successive vengono svolte in dominio completamente numerico, questo approccio rende più performante la misura in termini di stabilità in frequenza rispetto ad un approccio analogico.

La traslazione in bassa frequenza avviene mediante moltiplicazione del segnale per una frequenza prossima a quella di Larmor generata digitalmente (f_{DDS}), questo procedimento oltre a generare la componente di interesse (differenza dei segnali in frequenza) produce la componente di somma in frequenza che è necessario filtrare.

Questa operazione (down-conversion) viene eseguita utilizzando segnali in quadratura (sine, cosine), si ottiene così in uscita, la rappresentazione Reale/Immaginaria del segnale di interesse. Il procedimento è realizzato su un flusso dati sdoppiato (even, odd) in modo da poter operare ad una velocità teoricamente doppia rispetto alla frequenza di funzionamento del sistema.

I quattro rami del flusso dati vengono poi ricombinati a due a due utilizzando due sommatori solo dopo le operazioni di decimazione. Si vengono a generare così i segnali di uscita in fase (I In-Phase) e in quadratura (Q Quadrature).

La catena di trattamento dati è implementata per eliminare la componente somma derivante dalla operazione di down-conversion, operare una decimazione del flusso dati ed applicare un filtro ai segnali controllandone la banda osservabile; tutti i parametri sono reimpostabili agevolmente via software in modo da soddisfare l'esperimento NMR.

I filtri decimatori CIC vengono impiegati sostanzialmente per permettere una elaborazione dei dati riducendo la potenza computazionale richiesta, ma è necessaria una scelta ottimale dei parametri per poter ottenere anche la voluta reiezione della componente somma che altrimenti ricadrebbe in banda osservabile.

I filtri digitali FIR di compensazione operano una "formatura" della risposta in frequenza in modo da compensare la caratteristica dei decimatori CIC.

In ultimo, i filtri digitali FIR, a valle dell'operazione di ricombinazione, sono utilizzati per limitare la banda di osservazione (e quindi sostanzialmente anche il rumore sulla misura), i parametri caratteristici (coefficienti) sono calcolati attraverso l'algoritmo di Remez dal software di gestione per assecondare le richieste dell'utente.

I dati in uscita dal canale vengono accumulati in memoria SRAM, secondo diverse modalità e resi disponibili al software di gestione dell'apparecchiatura che li preleva attraverso il bus PCI.

Lo schema topologico del canale visibile in figura è stato ottenuto attraverso simulazioni MatLab/Simulink e numerose prove sperimentali su hardware NMR in modo da migliorarne progressivamente le prestazioni.

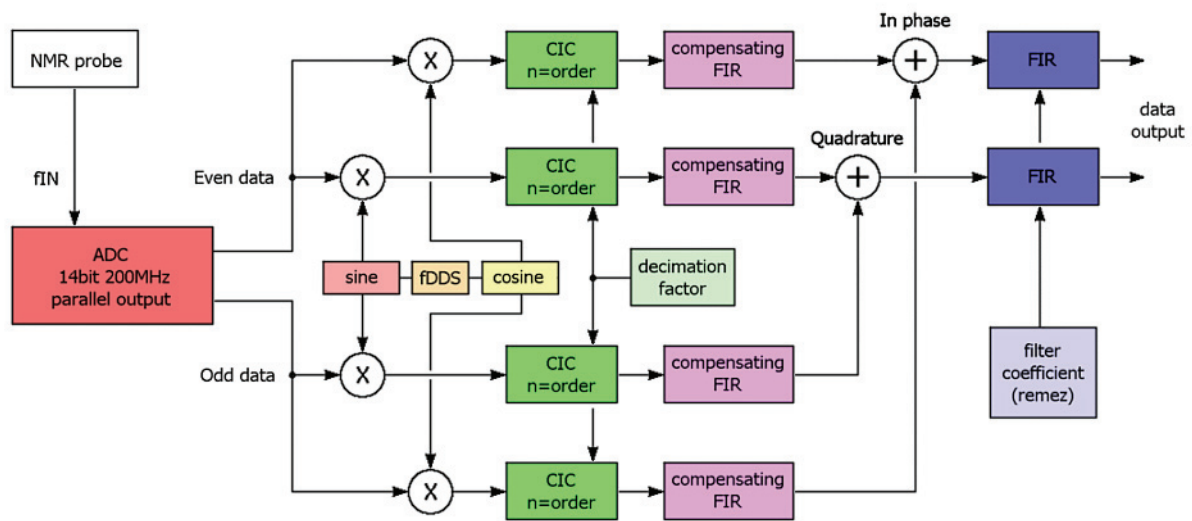


figura 2. Schema del canale di ricezione completo.

Lo studio del canale di ricezione ha portato all'approfondimento di problematiche legate al rumore nella misura NMR.

In particolare l'obiettivo principale riguardava l'ottenimento di una prestazione per il rapporto segnale/rumore superiore ai 70dB lungo tutto il canale.

Questo punto è stato imposto per cercare di sfruttare la risoluzione intrinseca del convertitore analogico/digitale posto a monte della catena di elaborazione dati.

Il vincolo prestazionale così imposto ha portato al dimensionamento del numero di bit effettivo utilizzato per la rappresentazione dei dati all'interno del canale di ricezione e cosa molto importante, all'adozione di filtri CIC del secondo ordine.

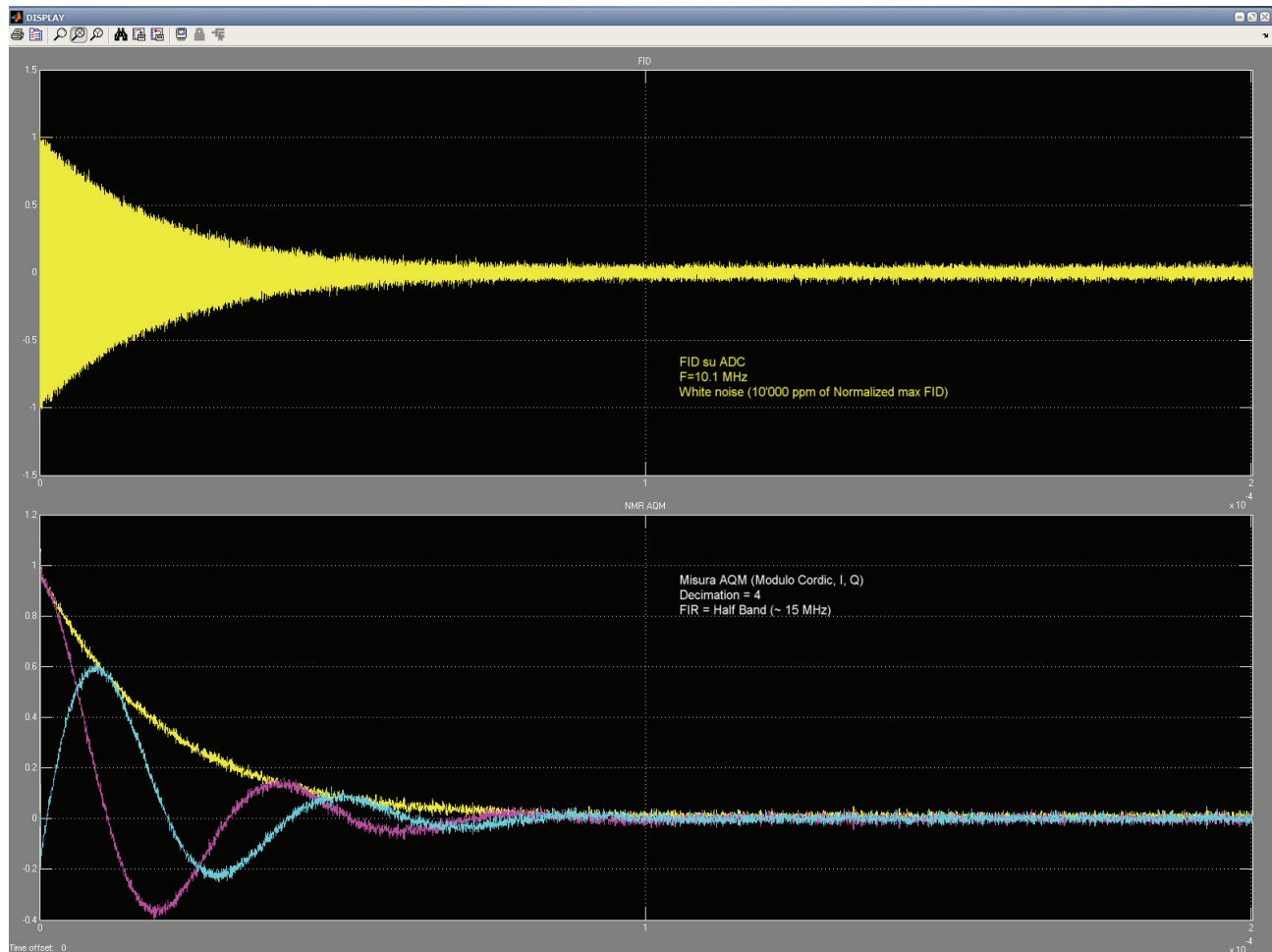


figura 3. Simulazione degli effetti del rumore sulla misura NMR.

Altro importante risultato raggiunto riguarda la valutazione degli effetti del rumore sulle modalità di accumulo dei dati NMR.

Durante la fase di test dell'apparecchiatura sono state valutate diverse possibilità di accumulo e rappresentazione dei dati : parte Reale, parte Immaginaria, Modulo e Fase del segnale.

Sono state individuate diverse procedure precauzionali per cercare di preservare ed estrarre il contenuto informativo dal segnale di partenza (legate sia al corretto utilizzo hardware che alle operazioni di post-processing sui dati).

E' stato prodotto un Poster al 9th Congresso ICMRM di Aachen in Germania (in allegato).

Logica di controllo

E' facile osservare che il sistema in figura2. deve prevedere una Logica di Controllo per i dispositivi digitali coinvolti nel canale di ricezione, in modo da farli operare secondo una predeterminata cadenza temporale (sequenza di misura dell'esperimento NMR).

A questo scopo la logica digitale contiene una macchina a stati finiti (Pulser) con un set di istruzioni appositamente creato per gestire in modo agevole i dispositivi digitali presenti nel canale.

Il software di gestione dell'apparecchiatura è congeniato in modo che l'utente possa editare l'esperimento scegliendo i dispositivi coinvolti e relativi parametri sull'asse temporale (sequenza NMR).

Questa sequenza di eventi viene tradotta in istruzioni attraverso parole digitali da 128bit (codice assembler del Pulser).

Ogni parola contiene informazioni sul numero di dispositivi da attivare nel canale e i relativi parametri (Filtri, CIC, decimazione etc.), la durata in multipli del clock base ed altre informazioni specifiche per il funzionamento della logica (gestione salti o ripetizioni, interrupt).

In particolare vengono forniti come input alla macchina a stati tutti i bit delle istruzioni che recano informazioni riguardanti:

- la durata dell'operazione da svolgere;
- la presenza e la relativa gestione delle istruzioni di salto;
- la rivelazione di eventuali interrupt;
- la necessità di congelare o cancellare lo stato del sistema.

Particolare attenzione è stata dedicata alla gestione di cicli annidati poiché, nell'implementazione precedente, tale aspetto risultava critico e, in particolari casi, inutilizzabile. Inoltre la logica è stata descritta in modo tale da permettere, in futuro un eventuale aumento del numero massimo di cicli che è possibile innestare rendendo possibile l'esecuzione di esperimenti di maggior complessità.

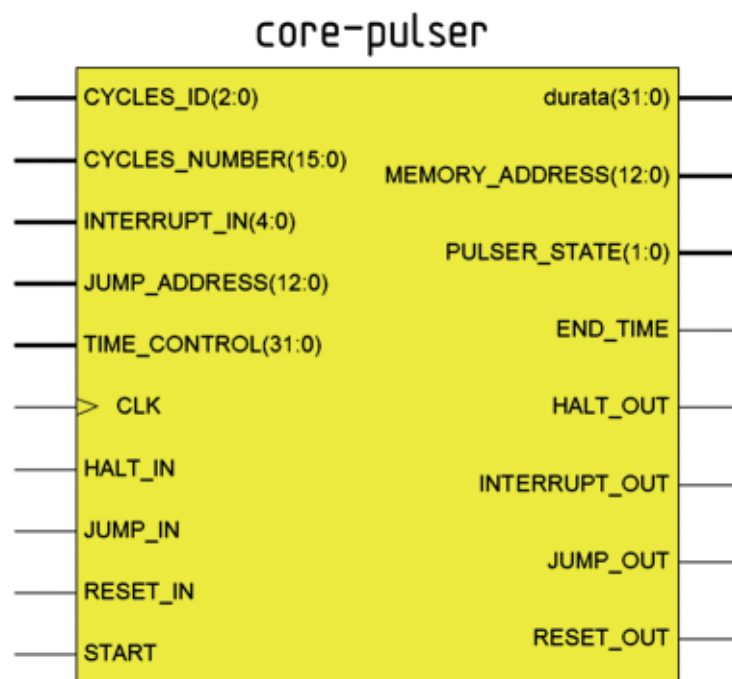


figura 4. Simbolo schematico della macchina a stati (Pulser).

La logica di controllo acquisisce ed elabora le informazioni elencate in precedenza restituendo come output:

- un segnale che contiene l'indirizzo della prossima istruzione da eseguire indispensabile per l'indirizzamento della memoria istruzioni;
- una linea che rileva la presenza di interrupt segnalando l'accaduto al software;
- una linea che indica quando è terminata l'operazione in esecuzione da utilizzare per la temporizzazione dei dispositivi;
- due linee che permettono di monitorare in che stato si trova il Pulser durante l'esecuzione;
- un'ulteriore serie di segnali utilizzati in fase di debug.

Per raggiungere l'obiettivo proposto è stata implementata una macchina a stati che permette la commutazione tra quattro blocchi principali rappresentanti i possibili stati del sistema (figura5.).

Quando il sistema non ha ancora cominciato il processo di acquisizione si trova nello stato di START dove permane fino a quando l'utente non invierà un segnale di reset per predisporre il sistema all'elaborazione.

Questo evita che la macchina a stati finiti sia libera di evolvere quando non è ancora stato assegnato un compito (tipicamente al boot-up), facilitando altresì le fasi di test.

Lo stato di HALT è uno stato di riposo del sistema in quanto non prevede alcuna elaborazione dei segnali interni alla logica, la sua unica funzione è quella di fermare il flusso dei dati in seguito ad alcuni eventi particolari quali la rilevazione di un'interrupt o la richiesta di cancellare o congelare lo stato del sistema.

L'invio di un apposito segnale di start permette al sistema di entrare nello stato di READ responsabile della lettura dell'istruzione da eseguire.

Una volta registrate le informazioni necessarie si passa nello stato di NOP che permette l'effettiva temporizzazione dei dispositivi obbligando il sistema a permanere in tale stato fino a che la durata dell'operazione richiesta dall'utente non risulta esaurita.

Al termine di questo periodo la logica segnala il compimento dell'istruzione ricevuta e permette alla macchina a stati di ritornare nello stato dedicato alla lettura.

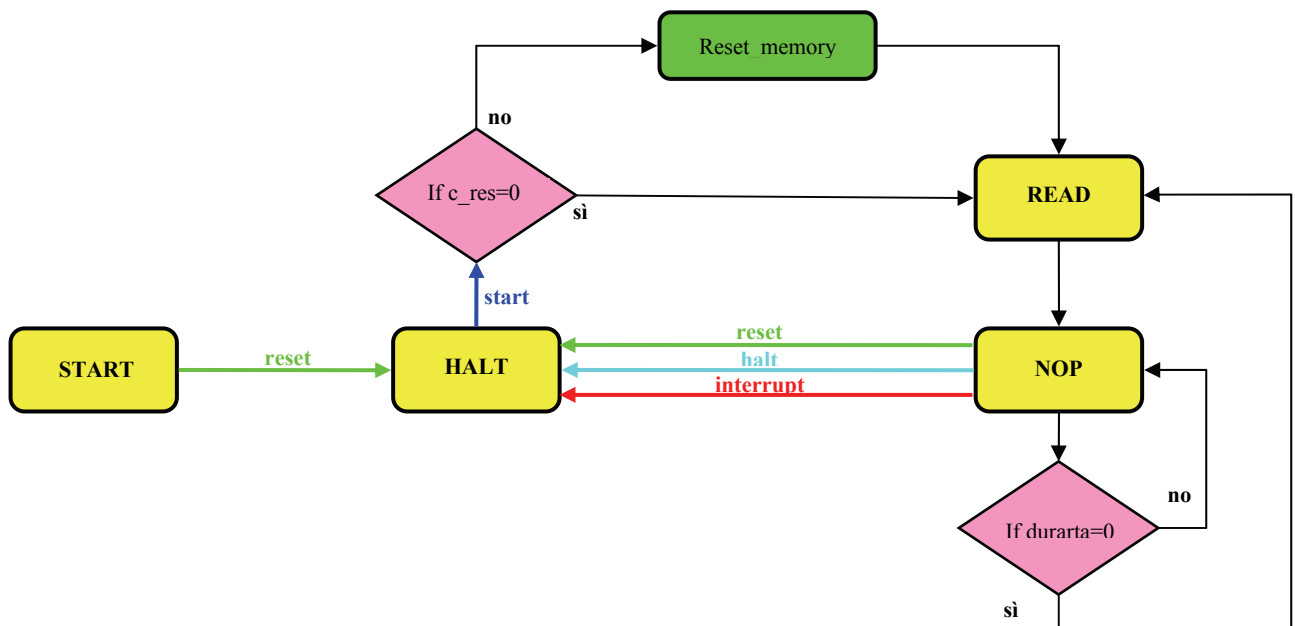


figura 5. Diagramma a stati del Pulser.

Il sistema così modellizzato è stato infine descritto tramite linguaggio VHDL allo scopo di ottenere una logica ottimizzata per la specifica applicazione e portabile su sistemi differenti. Tale codice è stato testato utilizzando Modelsim e un'adeguata serie di appositi test-bench prima di procedere alla sintetizzazione hardware su FPGA.

Il processo di sintesi ha portato a risultati soddisfacenti sotto molti aspetti differenti cruciali per il buon funzionamento e per l'ottimizzazione del processo di acquisizione dei dati.

In primo luogo l'implementazione in VHDL ha permesso l'utilizzo ponderato delle risorse hardware disponibili su FPGA rendendo quindi compatibili eventuali sviluppi che richiedano risorse aggiuntive.

Il risultato di sintesi, eseguito su architettura Xilinx, mostra un possibile funzionamento a frequenze di clock molto più elevate di quelle permesse dall'implementazione precedente (oltre 150 MHz).

La parte di logica digitale si compone di ulteriori blocchi funzionali che hanno i seguenti compiti:

- gestire la decodifica della parola di Pulser per la selezione dei dispositivi (Gestione periferiche);
- generare un segnale di temporizzazione che a partire dalla cadenza dei dati nel canale abiliti la scrittura in memoria e l'accumulo dei dati;
- manipolare e gestire una serie di eventi o dispositivi esterni al sistema e la relativa comunicazione.

Conclusioni

Il progetto così come preventivato, è stato implementato rispettando a pieno le specifiche richieste. Sono tuttora in fase di realizzazione e test ulteriori sviluppi scaturiti dal grado di flessibilità introdotto da questo lavoro.