

Elettronica dei Sistemi Digitali



Carla Vacchi

Sommario

Introduzione	5
Ringraziamenti	7
Capitolo 1 - Circuiti integrati digitali	
1.1 Introduzione	9
1.2 Processo di integrazione CMOS	11
1.2.1 Definizione della regione di well	12
1.2.2 Definizione delle regioni drogate p ⁺ e n ⁺	15
1.2.3 Crescita dell'ossido di gate e definizione del terminale di gate	16
1.2.4 Realizzazione delle regioni drogate n ⁺ e p ⁺	17
1.2.5 Apertura dei contatti e deposizione del primo livello di metallizzazione	19
1.2.6 Apertura dei via e deposizione del secondo livello di metallizzazione	20
1.3 Caratteristiche elettriche dei materiali	23
1.3.1 Resistenza	23
1.3.2 Capacità	28
1.3.3 Effetti di resistenza e capacità sulle prestazioni elettriche di un circuito	33
1.3.4 Elettromigrazione	36
1.3.5 Il rame	37
1.4 Design rules e resa di processo	39
1.4.1 Regole elettriche di progetto del layout	46
Capitolo 2 - L'inverter CMOS	
2.1 Introduzione	49
2.2 Caratteristiche elettriche statiche di un transistor MOS	50
2.2.1 Simboli circuitali per un transistor MOS	53
2.2.2 Livelli logici e transistori CMOS come interruttori	54
2.2.3 Inverter fully CMOS	56
2.3 Caratteristiche elettriche statiche di un inverter fully CMOS	57
2.3.1 Caratteristica di trasferimento	57
2.3.2 Margini di rumore	58

2.4 Tempi di risposta di un inverter <i>fully</i> CMOS	60
2.4.1 Capacità in un transistor MOS	60
2.4.2 Capacità di carico: casi particolari	63
2.4.3 Tempi di salita e di discesa in un inverter <i>fully</i> CMOS.....	65
2.4.4 Tempo di ritardo in un inverter <i>fully</i> CMOS.....	68
2.5 Dissipazione di potenza di un inverter <i>fully</i> CMOS.....	70
2.5.1 Dissipazione di potenza statica	71
2.5.2 Dissipazione di potenza associata alla commutazione	73
2.5.3 Commenti su tempi di ritardo e potenza dissipata da una porta <i>fully</i> CMOS	77

Capitolo 3 - Porte logiche in tecnologia CMOS

3.1 Introduzione	79
3.2 Porte <i>fully</i> CMOS.....	80
3.2.1 Implementazione <i>fully</i> CMOS di porte NAND e NOR.....	80
3.2.2 Progettazione di una porta combinatoria <i>fully</i> CMOS	83
3.3 Logica a interruttori.....	88
3.3.1 Porta di trasferimento (transfer gate)	88
3.3.2 Multiplexer	89
3.3.3 EXOR (EXclusive OR) e EXNOR (EXclusive NOR).....	90
3.3.4 Boolean Function Unit.....	91
3.4 Porte particolari	93
3.4.1 Inverter tristate	93
3.4.2 Trigger di Schmitt CMOS.....	95
3.4.3 Buffer	99
3.5 Level sensitive latch	107
3.5.1 Caratteristiche dinamiche di un level sensitive latch.....	109
3.5.2 Level sensitive latch con ingressi di set e reset asincroni.....	111
3.6 Edge triggered register (flip flop)	114
3.6.1 Caratteristiche dinamiche di un edge triggered register	116
3.6.2 Edge triggered register con set e reset asincroni	117
3.6.3 Edge triggered register con set e reset sincroni	118

Capitolo 4 - Circuiti sequenziali

4.1 Introduzione	121
4.2 Vincoli temporali per le reti sequenziali	123
4.2.1 Esempi di vincoli temporali generici	126
4.3 Registri.....	131
4.3.1 Inizializzazione di un registro.....	132
4.3.2 Lettura e scrittura di un registro.....	135

4.4 Contatori binari	137
4.4.1 Contatore binario asincrono (Binary Ripple Counter).....	137
4.4.2 Contatore binario sincrono (Binary Counter).....	140
4.4.3 Utilizzo di un contatore come divisore di frequenza	144
4.4.4 Inizializzazione dello stato di partenza di un contatore	146
4.4.5 Conteggio per $N < 2^n$	149
4.5 Contatori a scorrimento (Shift Counter)	153
4.5.1 Contatore ad anello.....	153
4.5.2 Contatore Johnson	155
4.5.3 Linear Feedback Shift Register (Pseudo Random Sequence Generator)	156

Capitolo 5 - Architetture di sommatore

5.1 Introduzione	165
5.2 Full Adder	166
5.3 Sommatore di parole a più bit: approccio seriale	170
5.4 Ripple Carry Adder	172
5.4.1 Generazione e Propagazione.....	173
5.5 Carry Lookahead Adder	179
5.6 Sottrazione	183
5.7 Note sulle notazioni.....	184
5.7.1 Notazioni posizionali per un numero privo di segno (unsigned)	184
5.7.2 Notazioni posizionali per un numero con segno (signed).....	185

Capitolo 6 - Sistemi digitali: approcci all'integrazione

6.1 Introduzione	193
6.2 La realtà industriale	195
6.2.1 Scopi da perseguire nel progetto di un circuito/sistema	196
6.2.2 Considerazioni economiche	197
6.2.3 Approcci all'integrazione	198
6.3 ASIC (Standard Cell e Full Custom)	201
6.3.1 Esempi di layout	202
6.3.2 Circuiti digitali Standard Cell	206
6.3.3 Connessioni elettriche al chip	214
6.4 Gate Array	222
6.4.1 Metodo di isolamento dei transistori in un Gate Array	226
6.4.2 Parametri che caratterizzano un Gate Array o un Sea of Gates	231
6.5 Dispositivi logici programmabili	232
6.5.1 Retrospectiva storica	235
6.5.2 Modalità di programmazione hardware	236
6.6 Matrici di celle riprogrammabili.....	241

6.6.1 Descrizione dei CLB	244
6.6.2 Esempio di IOB	246
6.6.3 Elementi di interconnessione	247
6.6.4 FPGA Altera.....	249
Capitolo 7 - Collaudo di circuiti integrati digitali	
7.1 Introduzione	251
7.2 Il guasto.....	254
7.2.1 Cause fisiche del guasto.....	254
7.2.2 Guasti catastrofici e non catastrofici.....	256
7.2.3 Il guasto logico	257
7.3 Identificazione del guasto catastrofico singolo	259
7.3.1 Guasto stuck at in circuiti combinatori	261
7.3.2 Guasti short (o bridging) in circuiti combinatori.....	267
7.3.3 Guasto open in circuiti combinatori.....	271
7.3.4 Guasti in circuiti sequenziali.....	274
7.4 Tecniche progettuali per garantire la collaudabilità	284
7.4.1 Design For Testability	284
7.4.2 BIST (Built In Self Test)	290
7.5 Test a livello di sistema	296
7.5.1 Boundary Scan o JTAG (Joint Test Action Group).....	296
Bibliografia	299
Indice analitico	301