

Indice	I
Introduzione	VII
 Capitolo 1 Circuiti integrati digitali	
1.0 Introduzione	1
1.1 Processo di integrazione CMOS	2
1.2 Caratteristiche elettriche dei materiali	11
1.2.1 Resistenza	11
1.2.1.1 Contatti ohmici e contatti rettificanti	13
1.2.2 Capacità	15
1.2.2.1 Capacità conduttore/ossido/semiconduttore e conduttore/ossido/conduttore	15
1.2.2.2 Capacità all'interfaccia delle diffusioni p/n	17
1.2.3 Effetti di resistenza e capacità sulle prestazioni elettriche di un circuito	18
1.2.3.1 Effetto della resistenza sulle alimentazioni	18
1.2.3.2 Effetto della resistenza e della capacità sulle linee di interconnessione	18
1.2.4 Elettromigrazione	19
1.2.5 Il rame	21
1.3 <i>Design rules</i> e resa di processo	22
1.3.1 Regole elettriche di progetto del <i>layout</i>	27
 Capitolo 2 L'invertitore CMOS	
2.0 Introduzione	29
2.1 Caratteristiche elettriche statiche di un transistor MOS	30
2.1.1 Simboli circuitali per un transistor MOS	32
2.1.2 Livelli logici e transistori CMOS come interruttori	32
2.1.3 Invertitore <i>fully</i> CMOS	34
2.2 Caratteristiche statiche di un invertitore <i>fully</i> CMOS	35
2.2.1 Caratteristica di trasferimento	35
2.2.2 Margini di rumore	36
2.3 Tempi di risposta di un invertitore <i>fully</i> CMOS	37
2.3.1 Capacità in un transistor MOS	37
2.3.1.1 Capacità di <i>gate</i>	37
2.3.1.2 Capacità di <i>source</i> e di <i>drain</i>	38
2.3.2 Capacità di carico: casi particolari	39
2.3.2.1 Invertitore senza carico esterno	39
2.3.2.2 Invertitori in cascata	39
2.3.2.3 Invertitore con più porte come carico	40
2.3.3 Tempi di salita e di discesa in un invertitore <i>fully</i> CMOS	41
2.3.4 Tempo di ritardo (<i>delay</i>) in un invertitore <i>fully</i> CMOS	42
2.4 Dissipazione di potenza di un invertitore <i>fully</i> CMOS	43
2.4.1 Dissipazione di potenza statica	43
2.4.2 Dissipazione di potenza "non statica"	45
2.4.2.1 Potenza necessaria alla carica e scarica dei condensatori durante la commutazione (potenza dinamica)	45
2.4.2.2 Potenza di corto circuito (<i>short circuit</i> o <i>crowbar power</i>)	46
2.4.3 Commenti sui tempi di ritardo e sulla potenza dissipata da una porta <i>fully</i> CMOS	47

Capitolo 3 Porte logiche in tecnologia CMOS

3.0	Introduzione	49
3.1	Porte <i>fully</i> CMOS	50
3.1.1	Implementazione <i>fully</i> CMOS di porte NAND e NOR	50
3.1.2	Costruzione di una porta combinatoria <i>fully</i> CMOS.	52
3.2	Logica ad interruttori	54
3.2.1	Porta di trasferimento (<i>transfer gate</i>)	54
3.2.2	<i>Multiplexer</i>	55
3.2.3	EXOR (EXclusive OR) e EXNOR (EXclusive NOR)	55
3.2.4	<i>Boolean Function Unit</i>	56
3.3	Porte particolari	57
3.3.1	Inverter <i>tristate</i>	57
3.3.2	<i>Trigger</i> di Schmitt CMOS	59
3.3.3	<i>Buffer</i> (adattamento per carichi elevati)	61
3.3.3.1	Soluzione generale per realizzare un <i>buffer</i> tramite cascata di invertitori	63
3.4	<i>Level sensitive latch</i>	66
3.4.1	Caratteristiche dinamiche di un <i>level sensitive latch</i>	67
3.4.2	<i>Level sensitive latch</i> con ingressi di <i>set</i> e <i>reset</i> asincroni	69
3.5	<i>Edge triggered register (flip flop)</i>	70
3.5.1	Caratteristiche dinamiche di un <i>edge triggered register</i>	71
3.5.2	<i>Edge triggered register</i> con <i>set</i> e <i>reset</i> asincroni	72
3.5.3	<i>Edge triggered register</i> con <i>set</i> e <i>reset</i> sincroni	72
	Esercizi	75

Capitolo 4 Architetture di sommatore paralleli

4.0	Introduzione	81
4.1	<i>Full Adder</i>	82
4.2	<i>Ripple Carry Adder</i>	86
4.2.1	Generazione e Propagazione	87
4.3	<i>Carry Lookahead Adder</i>	91
4.4	Sottrazione	94
4.5	Note sulle notazioni	95
4.5.1	Notazioni posizionali per un numero privo di segno (<i>unsigned</i>)	95
4.5.1.1	Esempio: la base 3	96
4.5.2	Notazioni posizionali per un numero con segno (<i>signed</i>)	96
4.5.2.1	Notazione modulo e segno (<i>signed-magnitude representation</i>)	96
4.5.2.2	Rappresentazione polarizzata (<i>biased representation</i>)	97
4.5.2.3	Rappresentazione in complemento (<i>complement representation</i>)	98
4.5.2.4	Rappresentazione in complemento alla radice <i>r</i> (<i>radix-complement representation</i>)	98
	Esercizi	101

Capitolo 5 Sistemi digitali: approcci all'integrazione

5.0 Introduzione	119
5.1 La realtà industriale	120
5.1.1 Scopi che il progettista deve perseguire nel progetto di un circuito/sistema	121
5.1.2 Considerazioni economiche	121
5.1.3 Approcci all'integrazione	122
5.2 ASIC (<i>Standard Cells</i> e <i>Full Custom</i>)	124
5.2.1 Esempi di <i>layout</i>	125
5.2.2 Circuiti digitali <i>Standard Cells</i>	127
5.2.3 Connessioni elettriche al <i>chip</i>	133
5.2.3.1 Alimentazione e massa	134
5.2.3.2 Strutture di uscita	135
5.2.3.3 Strutture di ingresso	137
5.2.3.4 Strutture di ingresso/uscita (<i>pad</i> bidirezionale)	137
5.2.3.5 Ingombro di un <i>pad</i>	138
5.3 <i>Gate Arrays</i>	139
5.3.1 Metodo di isolamento dei transistori in un <i>Gate Array</i>	142
5.3.1.1 Isolamento per <i>gate</i>	142
5.3.1.2 Isolamento per geometrie	144
5.3.2 Parametri che caratterizzano un <i>Gate Array</i> o un <i>Sea of Gates</i>	144
5.4 Dispositivi logici programmabili	145
5.4.1 Retrospectiva storica	147
5.4.2 Modalità di programmazione <i>hardware</i>	148
5.4.2.1 Fusibili integrati	148
5.4.2.2 Antifuse e Via Link	148
5.4.2.3 Interruttori MOS	148
5.5 Matrici di celle (ri)programmabili	150
5.5.1 Descrizione dei CLB	151
5.5.2 Esempio di IOB	153
5.5.3 Elementi di interconnessione	154
5.5.4 Massa e alimentazione	155
5.5.5 Prestazioni	155

Capitolo 6 Circuiti sequenziali

6.0 Introduzione	157
6.1 Vincoli temporali per le reti sequenziali	158
6.1.1 Esempi di vincoli temporali generici	162
6.1.1.1 Segnale di controllo non periodico	162
6.1.1.2 <i>Flip flop</i> non controllati dallo stesso segnale di clock	162
6.1.1.3 <i>Skew</i> sulla linea del segnale di clock	162
6.2 Registri	164
6.2.1 <i>Shift register</i>	164
6.2.2 Inizializzazione di un registro	165
6.2.3 Lettura e scrittura di un registro	167
6.2.4 Linee di ritardo programmabili	168
6.3 Contatori	169
6.4 Contatori binari	170
6.4.1 Contatore binario asincrono (<i>Binary Ripple Counter</i>)	170
6.4.1.1 Contatore indietro	170
6.4.1.2 Contatore avanti	171
6.4.1.3 Difetti di un contatore binario asincrono	171
6.4.2 Contatore binario sincrono (<i>Binary Counter</i>)	172
6.4.2.1 Contatore avanti	172
6.4.2.2 Contatore indietro	174
6.4.2.3 Utilizzo di un contatore come divisore di frequenza	174
6.4.2.4 Inizializzazione dello stato di partenza di un contatore	175
6.4.2.5 Conteggio per $N < 2^n$	177
6.5 Contatori a scorrimento (<i>Shift Counters</i>)	179
6.5.1 Contatore ad anello	179
6.5.2 Contatore Johnson	180
6.5.3 <i>Linear Feedback Shift Register (Pseudo Random Sequence Generator)</i>	181
6.5.3.1 Approccio teorico alla progettazione di un LFSR	183
6.5.3.2 Uscita dallo stato trappola	183
6.5.3.3 Contatore pseudocasuale per un numero qualsiasi	185
Esercizi	187-216

Capitolo 7 Collaudo di circuiti integrati digitali

7.0 Introduzione	217
7.1 Il guasto	219
7.1.1 Cause fisiche del guasto	219
7.1.2 Guasti catastrofici e non catastrofici	220
7.1.3 Il guasto logico	221
7.2 Identificazione del guasto catastrofico singolo	222
7.2.1 Guasto <i>stuck at</i> su circuiti combinatori	223
7.2.1.1 Un solo vettore di test per più guasti	225
7.2.1.2 La corrente di corto circuito nello <i>stuck-at</i>	226
7.2.2 Guasti <i>short</i> (o <i>bridging</i>) su circuiti combinatori	227
7.2.2.1 Esempio: <i>Non Feedback Bridging Fault</i>	227
7.2.2.2 La corrente di corto circuito nel guasto <i>short</i>	230
7.2.3 Guasto <i>open</i> su circuiti combinatori	230
7.2.4 Guasti su circuiti sequenziali	231
7.2.4.1 Guasto <i>stuck-at</i>	231
7.2.4.2 Guasto <i>short</i>	234
7.2.4.3 Guasto <i>open</i>	237
7.2.4.4 Quis custodiet ipsos custodes?	238
7.3 Tecniche progettuali per garantire la collaudabilità	239
7.3.1 <i>Design for Testability</i>	239
7.3.1.1 Sincronizzazione	239
7.3.1.2 Inizializzazione delle logiche sequenziali	240
7.3.1.3 Partizionamento dei circuiti complessi	240
7.3.1.4 Introduzione di uno <i>scan path</i>	242
7.3.2 BIST (<i>Built In Self Test</i>)	244
7.3.2.1 IMPIEGO di un LFSR nel TESTING come ORA: Compressione dei Dati	245
7.3.2.2 IMPIEGO di un LFSR nel TESTING come TPG: Generazione dei vettori di test	246
7.3.2.3 BILBO (<i>Built In Logic Block Observer</i>)	246
7.4 Test a livello di sistema	249
7.4.1 <i>Boundary Scan</i> o JTAG (<i>Joint Test Action Group</i>)	249
Esercizi	251

