

# Laboratorio di Elettronica I

Note per lo svolgimento delle esercitazioni pratiche.

G. Martini



Università di Pavia

Dipartimento di Ingegneria Industriale e dell'Informazione

2016/17

# Laboratorio di Elettronica I - INDICE

Pagina :

par 2.	Guida alle esercitazioni sperimentali	28
par 2.1.	Esercitazione 1 : CIRCUITI PASSIVI PASSA-BASSO e PASSA-ALTO	28
par 2.1.1.	Il circuito RC ( passa-basso )	28
par 2.1.1.1.	Determinazione della risposta in frequenza	28
par 2.1.1.2.	La risposta al gradino	30
par 2.1.2.	Il circuito CR ( passa-alto )	31
par 2.1.2.1.	Determinazione della risposta in frequenza	32
par 2.1.2.2.	La risposta al gradino	33
par 2.2.	Esercitazione 2 : CIRCUITI CON DIODI	35
par 2.2.1.	Il circuito raddrizzatore a semplice semionda	35
par 2.2.2.	Il raddrizzatore a doppia semionda a ponte di diodi	36
par 2.2.3.	Il circuito di cimatura ( clipping )	37
par 2.2.3.1.	Limitazione del valore superiore	37
par 2.2.3.2.	Limitazione del valore inferiore	38
par 2.2.4.	Il circuito di aggancio ( clamping )	40
par 2.2.4.1.	Aggancio del massimo	40
par 2.2.4.2.	Aggancio del minimo	41
par 2.2.5.	Comportamento del diodo per piccoli segnali	41
par 2.2.5.1.	Diodo polarizzato direttamente ( $E > 0$ )	42
par 2.2.5.1.	Diodo polarizzato inversamente ( $E < 0$ )	43
par 2.3.	Esercitazione 3 : CIRCUITI CON AMPLIFICATORI OPERAZIONALI	45
par 2.3.1.	L'amplificatore invertente	46
par 2.3.2.	L'amplificatore non invertente	47
par 2.3.3.	Misura della tensione di offset	48
par 2.3.4.	Misura della corrente di offset	49
par 2.3.5.	Il circuito integratore di Miller	50
par 2.4.	Esercitazione 4 : IL FET A GIUNZIONE	54
par 2.4.1.	Il circuito di polarizzazione	55
par 2.4.2.	L'amplificatore senza elettrodi a massa	56
par 2.4.3.	L'amplificatore a source comune	59
par 2.4.4.	L'inseguitore di source	60
par 2.5.	Esercitazione 5 : INVERTITORI MOSFET	62
par 2.5.1.	Circuito invertitore NMOS con carico ad arricchimento	63
par 2.5.2.	Circuito invertitore NMOS con carico a svuotamento	65
par 2.5.3.	Circuito invertitore CMOS	66
par 3.	Bibliografia	68

par 4.	APPENDICE A . Caratteristiche elettriche di alcuni componenti elettronici e circuiti integrati .	69
	Diodi al silicio : 1N914 , 1N916 , 1N4148 e 1N4448	70
	Integrato : general purpose operational amplifiers UA741	73
	Fet : N - channel JFET 2N4416	83
	Transistor : small signal Transistor BSS125	89
	Mosfet : small signal MOSFET BS108	96
	Mosfet : N - channel dual gate MOS-FET BF981	100
	Integrato : dual complementary pair plus inverter MC14007UB	101
	Integrati : B-Suffix series CMOS gates MC14001B , MC14002B , MC14011B , MC14012B , MC14023B , MC14025B , MC14068B , MC14071B , MC14072B , MC14073B , MC14075B , MC14078B , MC14081B e MC14082B .	108
	Transistor : low noise general purpose audio amplifier NPN BC107	119
	Transistor : low noise general purpose audio amplifier PNP BC177	123
	Codice dei colori delle resistenze a impasto di carbone	128
	Codice dei colori delle resistenze a strato metallico	129
	Condensatori	130

## 2. Guida alle esercitazioni sperimentali

### 2.1. Esercitazione n. 1: CIRCUITI PASSIVI PASSA-BASSO e PASSA-ALTO

#### 2.1.1. Il circuito RC (passa-basso)

Lo schema elettrico del circuito è quello riportato nella fig.24.

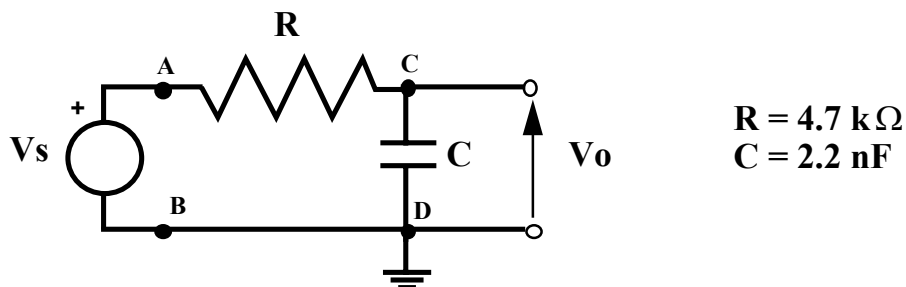


fig.24 Schema elettrico del circuito RC passa-basso.

Il segnale di uscita  $V_o$  può essere osservato mediante un oscilloscopio, e collegando il generatore  $V_s$  all'altro ingresso dell'oscilloscopio sarà possibile verificare come il circuito modifica il segnale applicato al suo ingresso.

##### 2.1.1.1. - Determinazione della risposta in frequenza

Per determinare la risposta in frequenza del circuito occorre procedere come segue:

- 1) Collegare l'uscita del generatore di funzioni ai morsetti d'ingresso A e B del circuito e all'ingresso CH1 dell'oscilloscopio.
- 2) Collegare i morsetti d'uscita C e D del circuito all'ingresso CH2 dell'oscilloscopio.
- 3) Regolare il generatore di funzioni in modo che il segnale d'uscita sia una sinusoide con frequenza di circa 1KHz.
- 4) Regolare l'oscilloscopio in modo che venga visualizzato il segnale applicato all'ingresso CH1 (MODE CH1), con accoppiamento diretto (COUPLING DC), trigger sul segnale CH1 (SOURCE CH1; SLOPE +; CPLG DC; MODE NORM), scala dei tempi su 0.5 ms/div (MODE A; A AND B SEC/DIV 0.5 ms/div) e sensibilità verticale di 0.5 V/div (VOLTS/DIV 0.5 V/div).
- 5) Accendere l'oscilloscopio.
- 6) Ruotare completamente in senso antiorario la manopola di regolazione dell'ampiezza del segnale fornito dal generatore di funzioni.
- 7) Accendere il generatore di funzioni e regolarlo in modo che sullo schermo dell'oscilloscopio appaia una sinusoidale con ampiezza di 1V (2 div).
- 8) Portare il selettore MODE di VERTICAL su CHOP.

A questo punto appaiono sullo schermo dell'oscilloscopio sia il segnale d'ingresso che quello d'uscita, ed occorre regolare i potenziometri POSITION di VERTICAL in modo che i due segnali non si sovrappongano.

Lo schermo dell'oscilloscopio ha l'aspetto riportato nella fig.25.

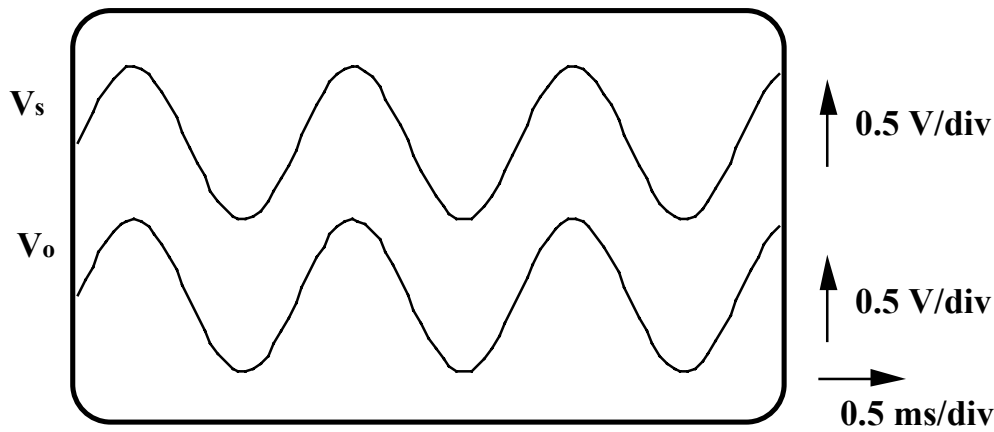


fig.25

Le due sinusoidi  $V_s$  e  $V_o$  hanno la stessa frequenza, la stessa ampiezza e sono in fase tra loro. Diminuendo la frequenza del segnale  $V_s$  vediamo che il segnale di uscita  $V_o$  continua ad avere la stessa ampiezza e la stessa fase di  $V_s$ .

Aumentando la frequenza del segnale  $V_s$  vediamo che, oltre un certo valore di frequenza, l'ampiezza del segnale  $V_o$  inizia a diminuire e la sua fase rispetto all'ingresso  $V_s$  diventa negativa. Continuando ad aumentare la frequenza del segnale  $V_s$  vediamo che la fase di  $V_o$  si porta al valore di  $90^\circ$  ( $\frac{1}{4}$  di periodo) in ritardo, mentre l'ampiezza di  $V_o$  continua a diminuire. (v. fig.26)

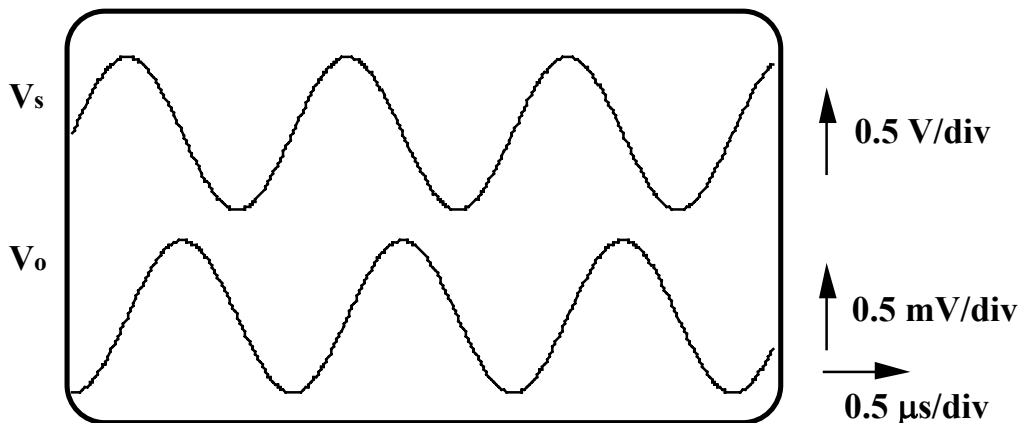


fig.26

Utilizzando la carta semilogaritmica, possiamo riportare in diagramma di Bode  $\left| \frac{V_o}{V_s} \right|$  (modulo della risposta in frequenza) e la fase del segnale di uscita  $V_o$  rispetto al segnale d'ingresso  $V_s$  (fase della risposta in frequenza).

Dopo aver tracciato i digrammi di Bode del modulo e della fase possiamo tracciare gli asintoti al diagramma di Bode di  $\left| \frac{V_o}{V_s} \right|$  e ottenere una stima del valore della frequenza superiore di taglio  $f_H$  della rete RC come ascissa del punto di intersezione degli asintoti. Possiamo determinare  $f_H$  in base alla definizione, ovvero come quel valore di frequenza (dalla parte delle frequenze maggiori del centro-banda) in corrispondenza del quale il

modulo della risposta in frequenza e' inferiore di 3dB rispetto al valore di centro-banda (che in questo caso corrisponde al valore in continua, trattandosi di un passa-basso).

Possiamo poi osservare che:

$$a) \lim_{\omega \rightarrow 0} \left| \frac{V_o}{V_s} \right|_{dB} = 0 \text{ dB}$$

$$b) \lim_{\omega \rightarrow \infty} \left| \frac{V_o}{V_s} \right|_{dB} = -\infty \text{ dB}$$

$$c) \left| \frac{V_o}{V_s} \right|_{dB}(f_H) = -3 \text{ dB}$$

$$d) \lim_{\omega \rightarrow 0} \arg \left[ \frac{V_o}{V_s} \right] = 0^\circ$$

$$e) \lim_{\omega \rightarrow \infty} \arg \left[ \frac{V_o}{V_s} \right] = -90^\circ$$

$$f) \arg \left[ \frac{V_o}{V_s} \right](f_H) = -45^\circ$$

e concludere che i diagrammi di Bode tracciati corrispondono ad una risposta in frequenza:

$$T(j\omega) = \frac{1}{1 + j\omega/\omega_H}$$

con

$$\omega = 2\pi f \quad ; \quad \omega_H = 2\pi f_H = \frac{1}{\tau}$$

Il valore della costante di tempo del circuito,  $\tau = \frac{1}{2\pi f_H}$ , può poi essere confrontato con il

valore calcolato  $\tau_c = RC = 10.34 \mu\text{s}$  che ottiene dai valori nominali di R e C.

L'eventuale differenza fra  $\tau$  e  $\tau_c$ , che può essere dell'ordine del 10%, è imputabile ad errori di misura ed al fatto che il valore effettivo di resistenza e capacità e' diverso dal valore nominale a causa delle tolleranze di fabbricazione.

#### 2.1.1.2. - La risposta al gradino.

Per osservare la risposta al gradino della rete RC occorre applicare all'ingresso della rete un segnale a onda quadra con semiperiodo molto maggiore della costante di tempo della rete. Per  $R = 2.2 \text{ K}\Omega$  e  $C = 4.7 \text{ nF}$  la costante di tempo, come abbiamo già visto, vale  $\tau = 10.34 \mu\text{s}$ : possiamo quindi utilizzare un segnale d'ingresso a onda quadra con frequenza molto minore di  $\frac{1}{2\tau} \approx 48 \text{ KHz}$ , ad esempio 1KHz.

Regoliamo quindi il generatore di funzioni in modo che esso fornisca un segnale a onda quadra con frequenza di 1 KHz e ampiezza di 1V, e impostiamo una scala dei tempi di 5 $\mu$ s/div (MODE A; A AND B SEC/DIV 5  $\mu$ s/div).

Lo schermo dell'oscilloscopio appare come nella fig.27.



fig.27

E' ora possibile misurare il tempo di salita  $t_r$ , che è per definizione "il tempo necessario affinché il segnale di uscita in risposta ad un ingresso a gradino passi dal 10% al 90% del proprio valore finale" (v. fig.27).

Il tempo di salita di una rete con risposta in frequenza di tipo passa-basso è legato alla frequenza superiore di taglio dalla relazione

$$t_r \approx \frac{0.35}{f_H}$$

dalla quale si può stimare il valore di  $f_H$  mediante una misura del tempo di salita della risposta al gradino. Possiamo confrontare il valore di  $f_H$  così ottenuto con il valore teorico calcolato dai valori di R e C: saranno ovviamente diversi, a causa delle tolleranze nei valori dei componenti e degli inevitabili errori di misura.

### 2.1.2. Il circuito CR (passa-alto)

Lo schema elettrico del circuito CR passa-alto è riportato nella fig.28

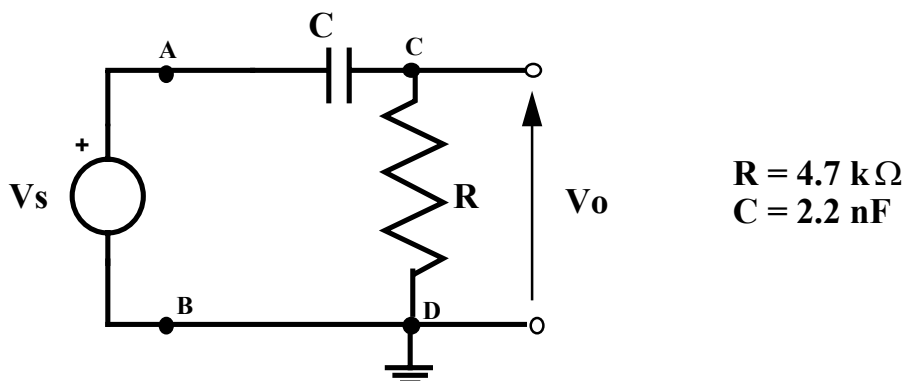


fig.28 Schema elettrico del circuito CR passa-alto.

Si tratta sostanzialmente della stessa rete che costituisce il circuito RC (passa-basso), in cui però il segnale di uscita è prelevato ai capi del resistore.

### 2.1.2.1. - Determinazione della risposta in frequenza

Per vedere nell'oscilloscopio il segnale d'ingresso  $V_s$  e quello di uscita  $V_o$  occorre seguire la procedura già descritta per il circuito RC (punti 1) - 8)): solo al p.to 3) il valore di frequenza della sinusoide deve essere di circa 1 MHz, ed al p.to 4) la base dei tempi deve essere impostata su 0.2  $\mu\text{s}/\text{div}$ . Lo schermo dell'oscilloscopio appare come nella fig.29.

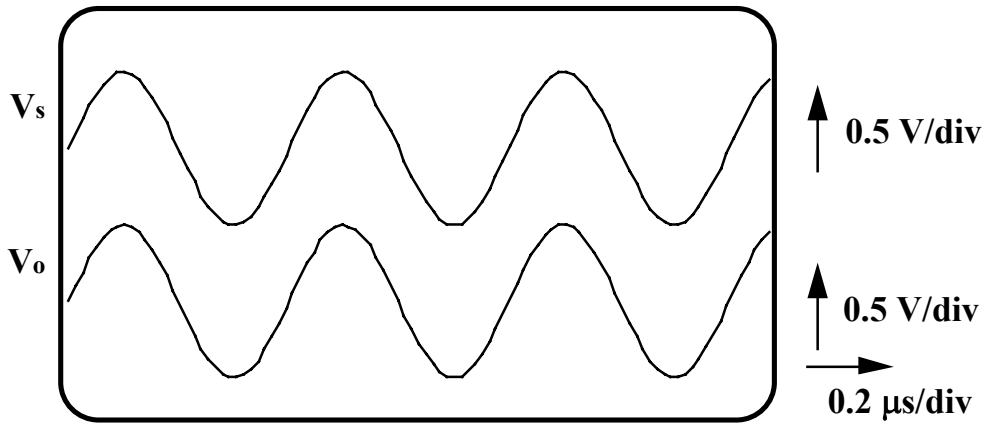


fig.29

I due segnali  $V_o$  e  $V_s$  sono sinusoidali con la stessa frequenza e la stessa ampiezza, e sono in fase tra loro. Aumentando la frequenza del segnale d'ingresso  $V_s$ , il segnale d'uscita  $V_o$  continua ad avere la stessa ampiezza e la stessa fase di quello d'ingresso. Diminuendo la frequenza del segnale d'ingresso  $V_s$  si osserva che, al di sotto di un certo valore di frequenza, l'ampiezza del segnale d'uscita  $V_o$  inizia a diminuire e la sua fase rispetto a  $V_s$  diventa positiva. Continuando a diminuire la frequenza del segnale applicato all'ingresso, la fase del segnale di uscita  $V_o$  tende al valore di  $90^\circ$  in anticipo, e la sua ampiezza continua a diminuire, tendendo a zero. (v. fig.30).

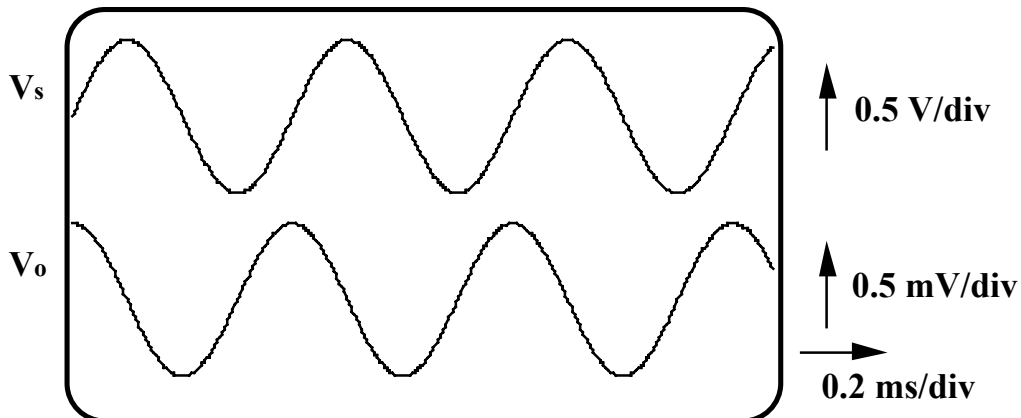


fig.30

Dopo aver riportato i valori del modulo e della fase di  $\frac{V_o}{V_s}$  in funzione della frequenza su carta semilogaritmica (diagrammi di Bode del modulo e della fase della risposta in frequenza), tracciando gli asintoti per  $f$  tendente a zero e  $f$  tendente all'infinito si ottiene il valore della frequenza inferiore di taglio  $f_L$ . Il valore stimato della frequenza inferiore di taglio  $f_L$  è l'ascissa del punto d'interazione degli asintoti. Analogamente a quanto visto per il circuito passa-basso possiamo determinare  $f_L$  in base alla definizione, ovvero come quel



valore di frequenza (dalla parte delle frequenze minori del centro-banda) in corrispondenza del quale il modulo della risposta in frequenza è inferiore di 3dB rispetto al valore di centro-banda (che in questo caso corrisponde al valore a frequenza "infinita", trattandosi di un passa-alto). Dall'osservazione della risposta in frequenza vediamo che:

$$g) \lim_{\omega \rightarrow 0} \left| \frac{V_o}{V_s} \right|_{dB} = -\infty \text{ dB}$$

$$h) \lim_{\omega \rightarrow \infty} \left| \frac{V_o}{V_s} \right|_{dB} = 0 \text{ dB}$$

$$i) \left| \frac{V_o}{V_s}(f_H) \right|_{dB} = -3 \text{ dB}$$

$$j) \lim_{\omega \rightarrow 0} \arg \left[ \frac{V_o}{V_s} \right] = 90^\circ$$

$$k) \lim_{\omega \rightarrow \infty} \arg \left[ \frac{V_o}{V_s} \right] = 0^\circ$$

$$l) \arg \left[ \frac{V_o}{V_s}(f_L) \right] = 45^\circ$$

e possiamo quindi concludere che i diagrammi di Bode tracciati corrispondono ad una risposta in frequenza:

$$T(j\omega) = \frac{j\omega/\omega_L}{1 + j\omega/\omega_L}$$

$$\text{con } \omega = 2\pi f \text{ e } \omega_L = 2\pi f_L = \frac{1}{\tau}$$

Il valore della costante di tempo del circuito,  $\tau = \frac{1}{2\pi f_L}$ , può essere confrontato col valore  $\tau_c = RC = 10.34 \mu\text{s}$  che ottiene dai valori nominali di R e C; valgono al riguardo le considerazioni già esposte per il passa-basso.

#### 2.1.2.2. - La risposta al gradino

Applicando all'ingresso della rete CR un segnale a onda quadra con semiperiodo molto maggiore della sua costante di tempo, possiamo osservare la risposta al gradino della rete. Essendo la costante di tempo pari a  $\tau = RC = 10.34 \mu\text{s}$ , possiamo usare un segnale d'ingresso a onda quadra con frequenza di 1KHz ( $\frac{1}{2\tau} \approx 48 \text{ KHz}$ ). Dopo aver regolato il generatore di funzioni in modo che esso fornisca un segnale a onda quadra con frequenza

di 1KHz e ampiezza 1V, e impostiamo una scala dei tempi di 5 $\mu$ s/div (MODE A; A AND B SEC/DIV 5  $\mu$ s/div). Lo schermo dell'oscilloscopio appare come nella fig.31.



fig.31

Possiamo ora misurare il tempo di discesa  $t_f$ , che è "il tempo necessario affinché il segnale di uscita in risposta ad un ingresso a gradino passi dal 90% al 10% del proprio valore iniziale" (v. fig.31). Nel caso di una rete passa-alto a singola costante di tempo, il tempo di discesa è legato alla frequenza inferiore di taglio dalla relazione

$$t_f \approx \frac{0.35}{f_L}$$

da cui si può ottenere il valore della frequenza inferiore di taglio mediante una misura del tempo di discesa della risposta al gradino. Tale valore può essere poi confrontato con il valore di  $f_L$  calcolato dai parametri del circuito.

## 2.2. Esercitazione n. 2: CIRCUITI CON DIODI

### 2.2.1. Il circuito raddrizzatore a semplice semionda

Lo schema elettrico del circuito è quello in fig.32

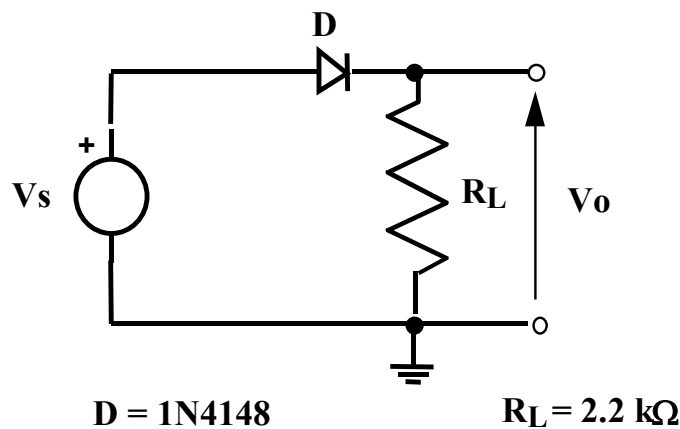


fig.32 Schema elettrico del raddrizzatore a semplice semionda.

Se all'ingresso del circuito viene applicato un generatore di tensione sinusoidale con valore massimo molto maggiore della tensione di soglia  $V_\gamma$  del diodo (il diodo è al silicio, quindi  $V_\gamma \approx 0.6$  V), la tensione  $V_L$  misurata ai capi del resistore di carico  $R_L$  è praticamente uguale a  $V_S$  per  $V_S > 0$  e nulla per  $V_S < 0$ . Il diodo è quindi in conduzione per un semiperiodo ed in interdizione per l'altro semiperiodo. Quando la tensione d'ingresso  $V_S$  ha il valore massimo confrontabile con la tensione  $V_\gamma$ , la tensione  $V_L$  ai capi del carico è diversa da zero solo quando  $V_S > V_\gamma$ : il diodo risulta quindi in conduzione per un tempo minore del semiperiodo (angolo di conduzione  $< \pi$ ). Queste due situazioni sono illustrate nella fig.33, rispettivamente nella parte superiore e inferiore.

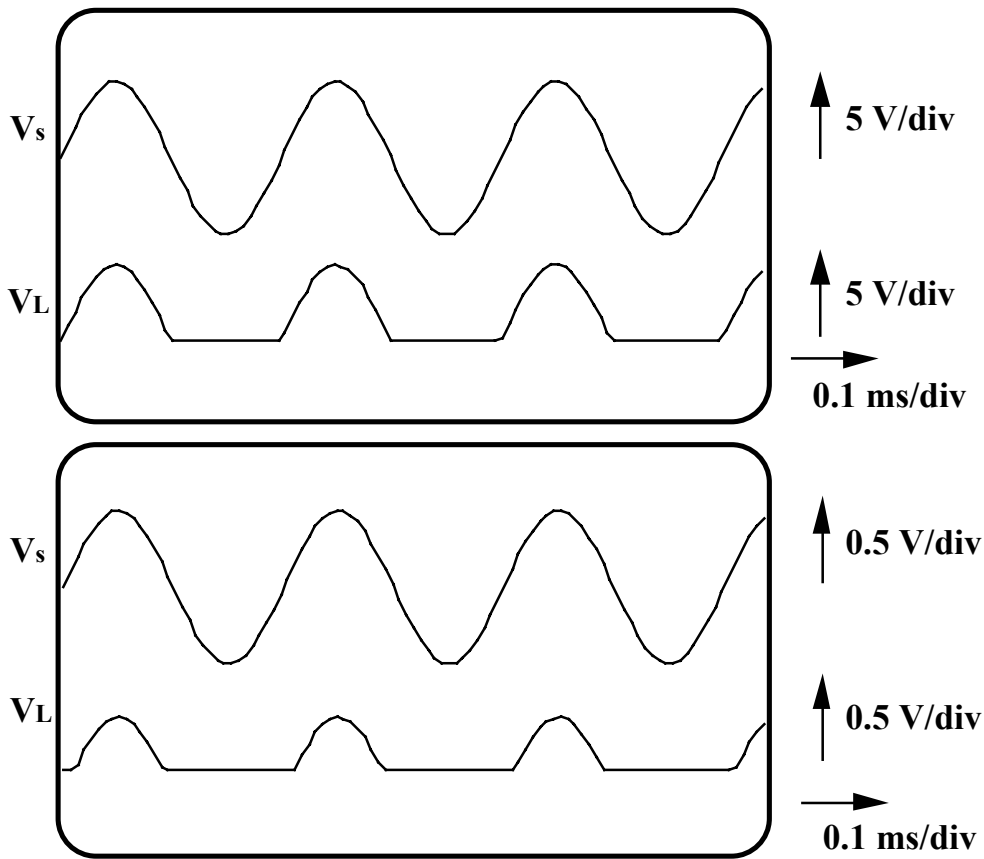


fig.33

### 2.2.2. Il raddrizzatore a doppia semionda a ponte di diodi

Lo schema elettrico di questo circuito è il seguente:

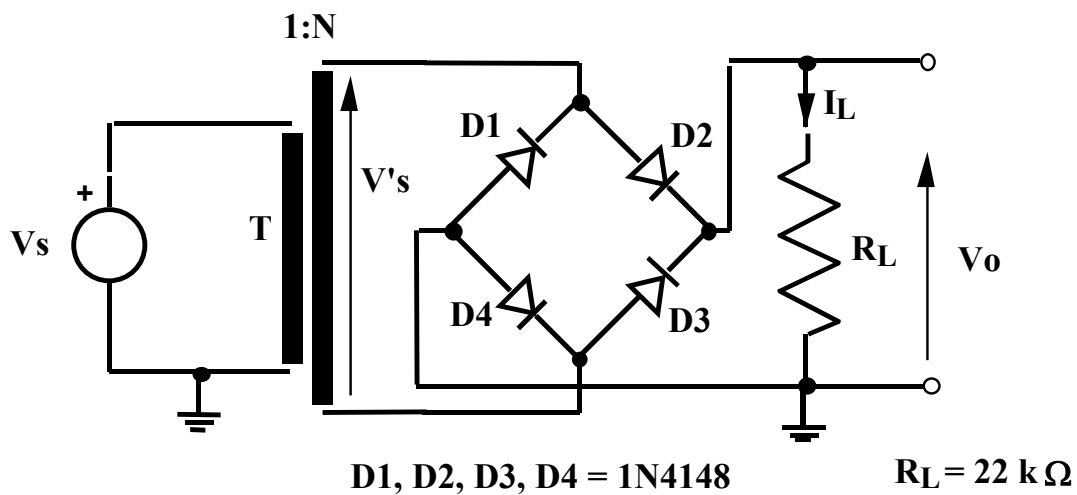


fig.34 Schema elettrico del raddrizzatore a doppia semionda a ponte di diodi.

Il trasformatore T è necessario per poter riferire il carico  $R_L$  alla stessa massa del generatore di segnale. Se  $V'_S$  è molto maggiore di  $V_\gamma$ , la tensione  $V_L$  ai capi del carico ha l'andamento riportato nella fig.35

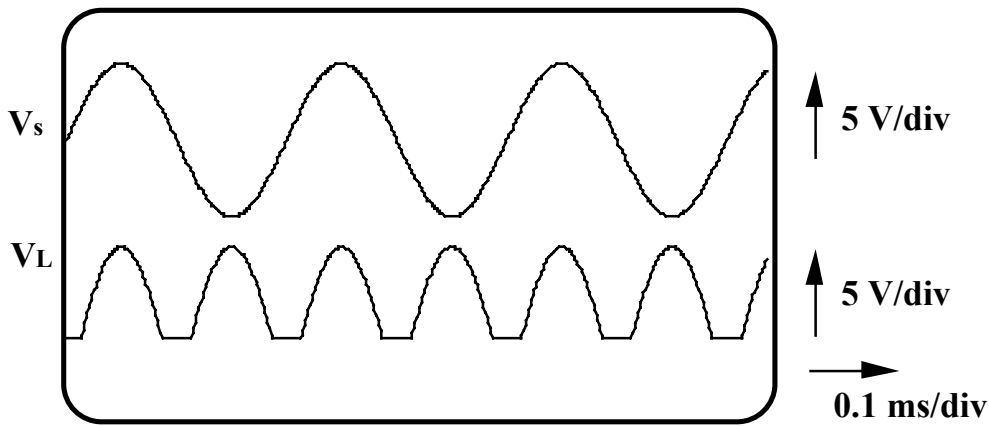


fig.35

Come si vede la tensione ai capi di  $R_L$  è sempre positiva; infatti, quando  $V'_S$  è positiva conducono i diodi  $D_4$  e  $D_2$  ( $D_1$  e  $D_3$  sono interdetti) e la corrente  $I_L$  nel carico è positiva, quando  $V'_S$  è negativa conducono i diodi  $D_1$  e  $D_3$  ( $D_2$  e  $D_4$  sono interdetti) e la corrente  $I_L$  è ancora positiva.

### 2.2.3. Il circuito di cimatura (clipping)

#### 2.2.3.1. - Limitazione del valore superiore

Per evitare che una certa tensione  $V_O$  superi il valore di riferimento  $E_R$  si usa il circuito in fig.36.

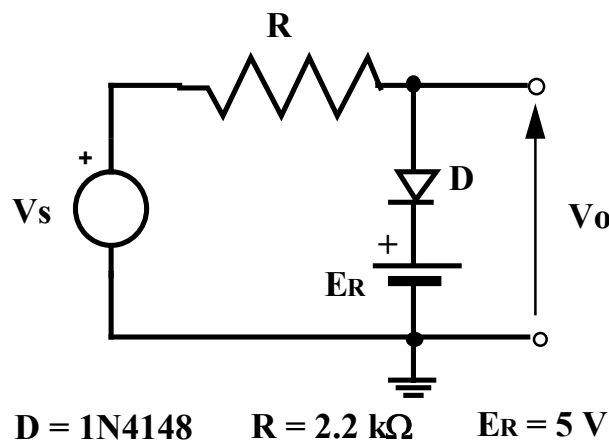


fig.36 Schema elettrico del circuito per la limitazione del massimo.

Se il valore massimo della sinusoide  $V_S$  è minore della tensione di riferimento  $E_R$ , in uscita si ha  $V_O = V_S$  in quanto il diodo  $D$  è sempre interdetto. Se il valore massimo di  $V_S$  è maggiore di  $E_R$ , durante gli intervalli di tempo per cui è  $V_S > E_R$  la tensione di uscita  $V_O$  assume il valore della tensione di riferimento  $E_R$ , in quanto durante questi intervalli di tempo il diodo  $D$  conduce. Le forme d'onda nei due casi sono quelle in fig.37. Le considerazioni svolte valgono se  $V_S \gg V_\gamma$ ; in caso contrario basta sostituire la tensione di riferimento  $E_R$  con  $E_R + V_\gamma$ , tenendo conto così della tensione di soglia del diodo.

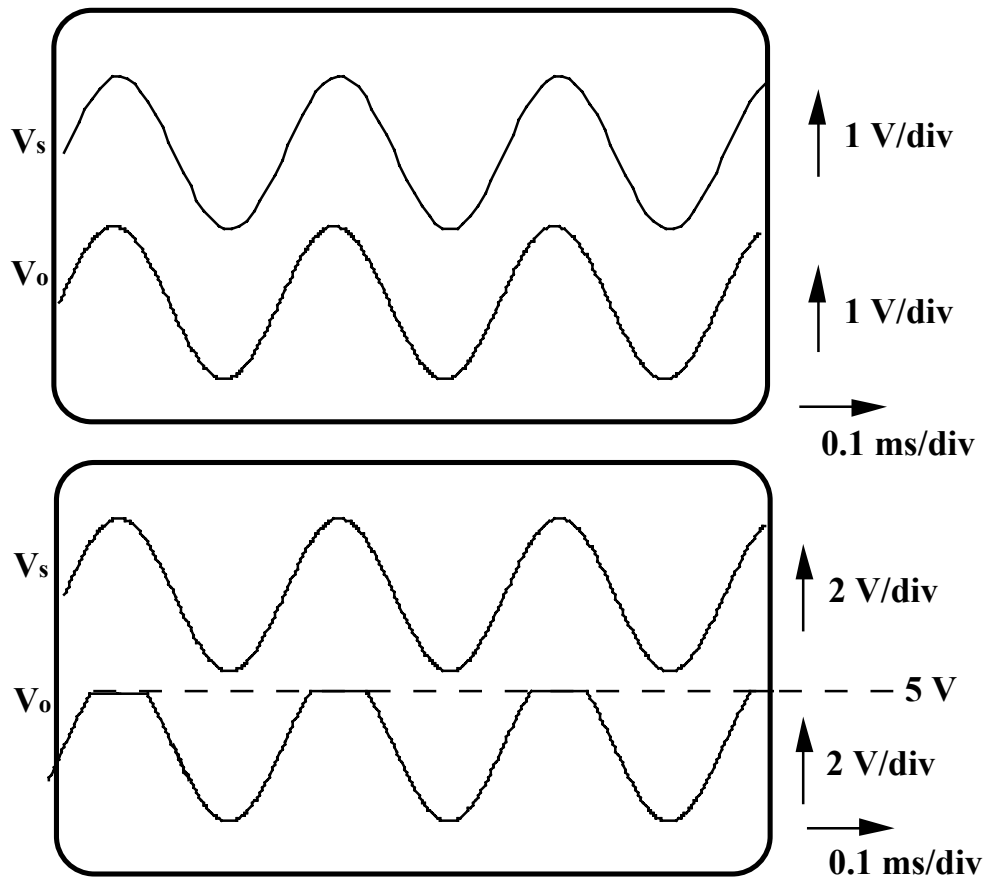


fig.37

### 2.2.3.2. - Limitazione del valore inferiore

Modificando il circuito in fig.36, cioè invertendo la polarità del diodo  $D$  e della tensione di riferimento  $E_R$ , si ottiene il circuito per la limitazione del valore inferiore (v. fig.38).

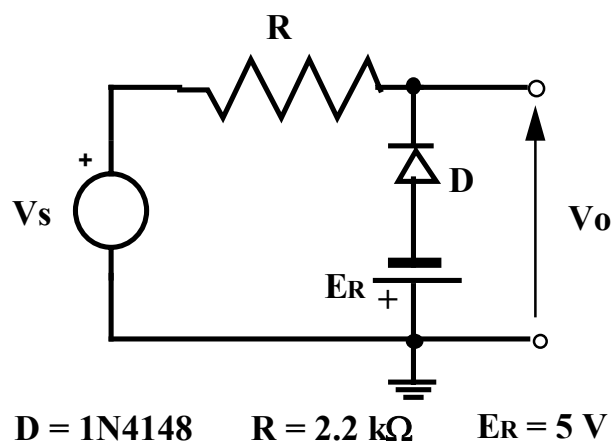


fig.38 Schema elettrico del circuito per la limitazione del minimo.

Ora la tensione di uscita  $V_o$  è uguale alla tensione d'ingresso  $V_S$  se il valore minimo di  $V_S$  è maggiore di  $-E_R$ ; se il valore minimo di  $V_S$  è minore di  $-E_R$ , negli intervalli di tempo per cui è  $V_S < -E_R$  la tensione di uscita assume il valore della tensione di riferimento  $-E_R$ . Le forme d'onda nei due casi sono quelle in fig.39.

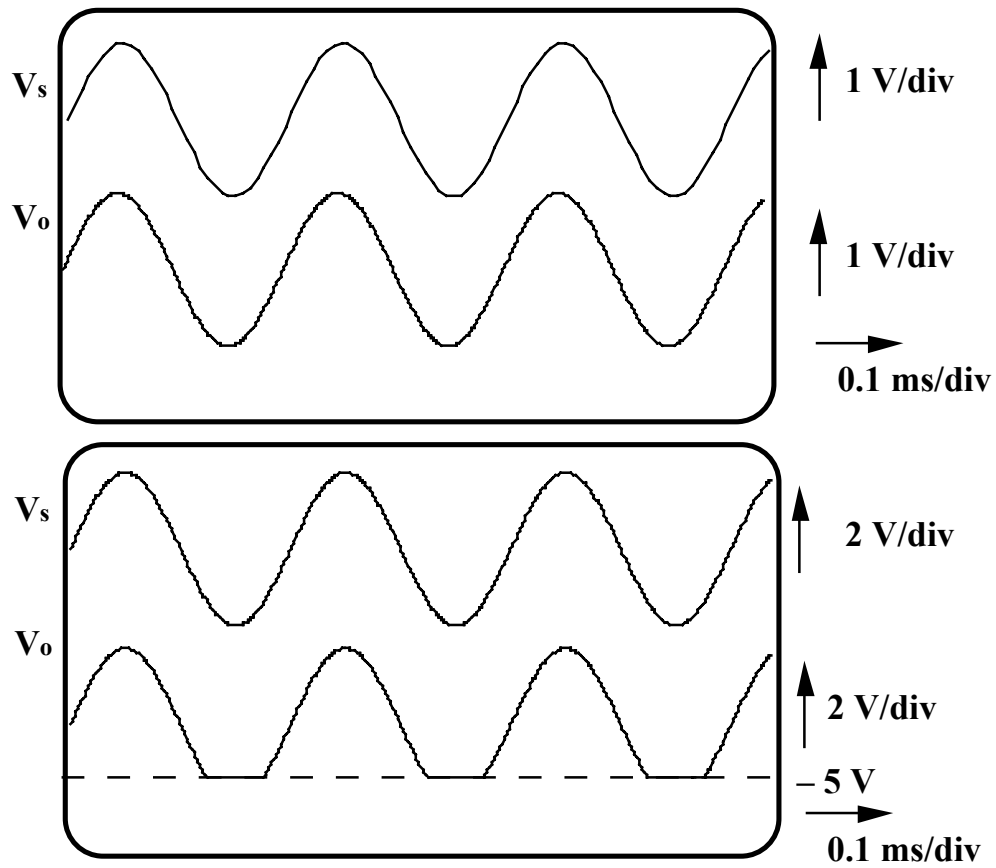


fig.39

Le considerazioni svolte valgono se  $V_S \ll -V_\gamma$  ; in caso contrario basta sostituire la tensione di riferimento  $E_R$  con  $E_R + V_\gamma$

## 2.2.4. Il circuito di aggancio (clamping)

### 2.2.4.1. - Aggancio del massimo

Il circuito in fig.40 aggancia il massimo della tensione d'ingresso  $V_S$  al valore della tensione di riferimento  $E_R + V_\gamma$  :

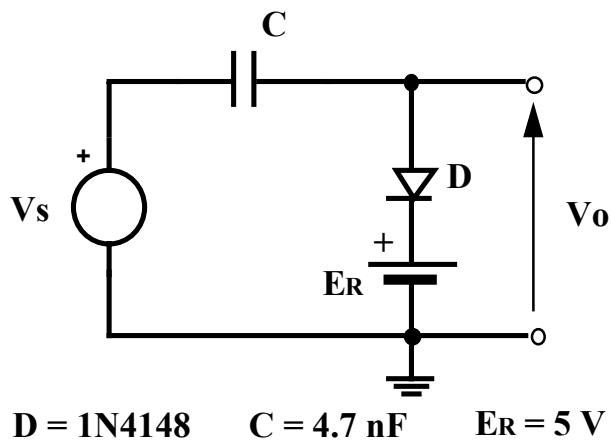


fig.40 Schema elettrico del circuito di aggancio del massimo.

Le tensioni di ingresso ( $V_S$ ) e uscita ( $V_O$ ) sono riportate nella fig.41.

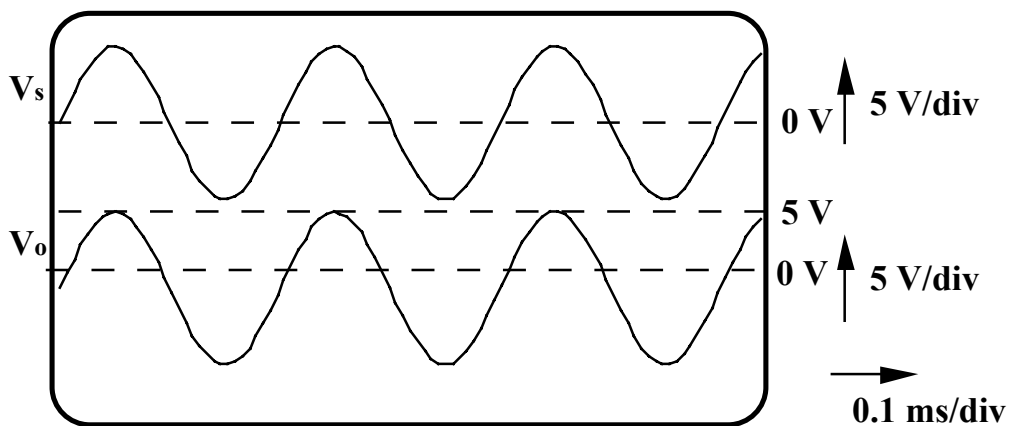


fig.41



### 2.2.4.2.- Aggancio del minimo

Col circuito in fig.42, ottenuto da quello di fig.40 invertendo la polarità del diodo D, si aggancia il valore minimo della tensione d'uscita  $V_O$  al valore della tensione di riferimento  $E_R + V_\gamma$ .

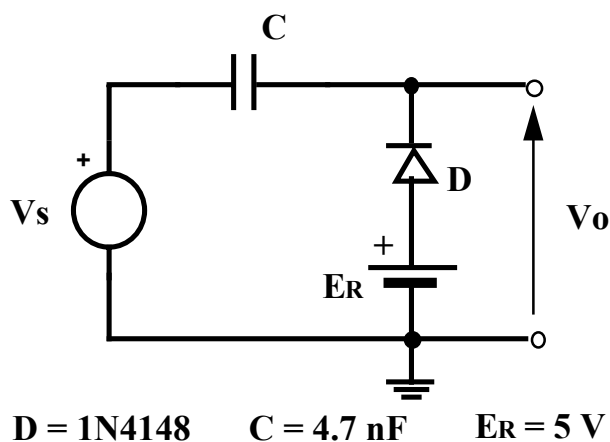


fig.42 Schema elettrico del circuito di aggancio del minimo.

In questo caso le tensioni d'ingresso e d'uscita hanno l'andamento riportato nella fig.43.

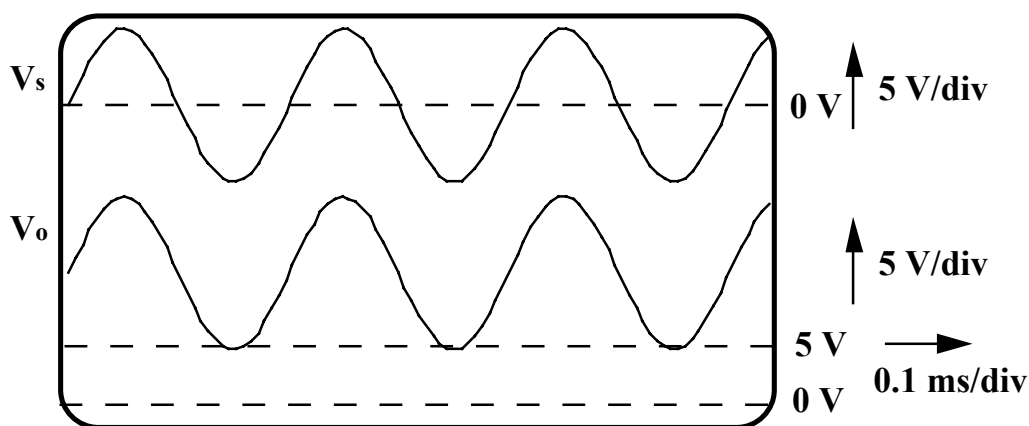


fig.43

Quando  $E_R = 0$ , il circuito di fig.42 viene chiamato "DC-restorer" (circuito per il ripristino del livello in continua) e trova applicazione nell'analisi d'ampiezza di impulsi; e' chiaro che la presenza del diodo con la propria tensione di soglia introduce un errore nel valore di zero pari proprio a  $V_\gamma$ .

### 2.2.5. Comportamento del diodo per piccoli segnali

Modificando il circuito riportato nella fig.32 come mostrato nella fig.43.1 e' possibile evidenziare il comportamento del diodo a semiconduttore per piccoli segnali. L'applicazione del generatore di tensione di segnale  $v_s$  in serie con una batteria E si ottiene mediante il generatore di funzioni, agendo sulla manopola di regolazione dell'offset (DC OFFSET Knob).

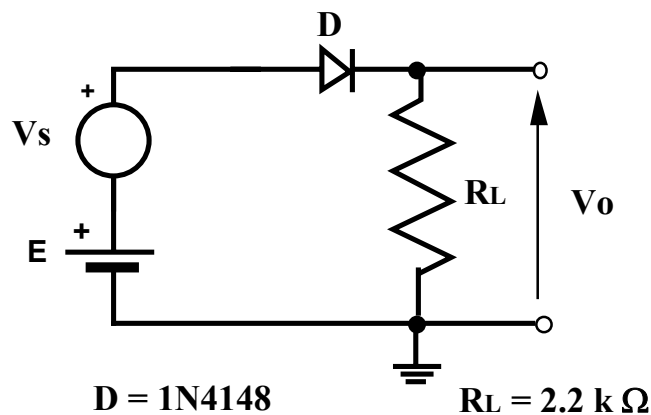


fig.43.1 Diodo con batteria di polarizzazione e generatore di segnale.

Supponiamo che inizialmente sia  $v_s=0$ : il punto di lavoro del diodo e' fissato dalla batteria E, e puo' essere determinato per via grafica (retta di carico) se si dispone della curva caratteristica del diodo.

Il punto di lavoro del diodo puo' essere determinato sperimentalmente misurando la differenza di potenziale  $V_D$  ai suoi capi e la corrente  $I_D$  che lo attraversa.

Fissato il punto di lavoro e' possibile determinare il circuito equivalente per piccoli segnali del diodo, che com'e' noto e' costituito da una resistenza di valore  $r_d=V_T/I_D$  se il diodo e' polarizzato direttamente ( $E>0$ ), e da una capacita' (capacita' di giunzione) se e' polarizzato inversamente. In realta' la capacita' di giunzione e' presente anche in polarizzazione diretta, ma il suo effetto e' di solito trascurabile.

#### 2.2.5.1. - Diodo polarizzato direttamente ( $E>0$ )

Il circuito equivalente per il segnale e' riportato nella fig.43.2; si tratta sostanzialmente di un partitore di tensione resistivo il cui rapporto di partizione  $K=R_L/(r_d+R_L)$  puo' essere modificato per mezzo della batteria E.

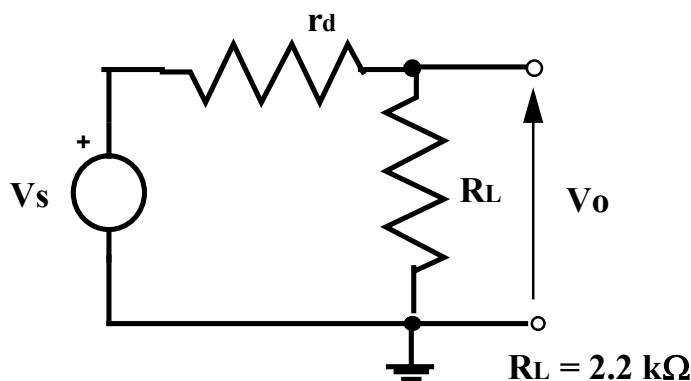


fig.43.2 Circuito equivalente per piccolo segnale del diodo polarizzato direttamente.

Il rapporto di partizione puo' essere misurato applicando al circuito un segnale sinusoidale "piccolo", cioe' di ampiezza molto minore di  $V_T$ , e misurando l'ampiezza della tensione di uscita, che sara' approssimativamente sinusoidale. Per evitare l'evidenziarsi di effetti capacitivi la frequenza del segnale sinusoidale applicato deve essere sufficientemente bassa (in pratica intorno a 1 KHz). Nella tabella sottostante e' riportato il valore del rapporto di partizione K corrispondente ad alcuni valori della batteria E, per  $R_L=2.2$  kΩ.

E [V]	$I_D$ [A] @ $I_S=2.5 \times 10^{-15}$ A, $V_T=26$ mV, $\eta=1$ , $R_L=2.2$ k $\Omega$	$r_d=V_T/I_D$ [ $\Omega$ ]	$K=R_L/(r_d+R_L)$
0.1	$1.15 \times 10^{-13}$	$2.27 \times 10^{11}$	$9.7 \times 10^{-9}$
0.5	$5.37 \times 10^{-7}$	$48.5 \times 10^3$	$4.3 \times 10^{-2}$
1	$0.16 \times 10^{-3}$	162	0.93
5	$1.95 \times 10^{-3}$	13.4	0.99
10	$4.21 \times 10^{-3}$	6.17	0.997

Rapporto di partizione K per il circuito in fig.43.2 corrispondente ad alcuni valori della batteria E, per  $R_L=2.2$  k $\Omega$ , calcolato usando il modello esponenziale valido per il diodo 1N4148.

### 2.2.5.1. - Diodo polarizzato inversamente ( $E < 0$ )

Per  $E < 0$  il diodo risulta polarizzato inversamente e, trascurando la corrente di saturazione inversa  $I_S$ , il suo circuito equivalente si riduce ad una capacit  che prende il nome di "capacit  di transizione". Tale capacit  e' quella di un condensatore a facce piane e parallele con distanza tra le armature pari alla larghezza della regione di carica spaziale (da cui il nome) e riempito con un dielettrico avente la costante dielettrica del semiconduttore [5]; la sua dipendenza dalla tensione inversa applicata e', ipotizzando un drogaggio con profilo a gradino, del tipo:

$$C_e = \frac{C_0}{\sqrt{1 + E/V_C}}$$

dove  $C_0$  e' il suo valore per polarizzazione nulla e  $V_C$  e' il potenziale di contatto della giunzione (dell'ordine di 1V). La precedente relazione vale per la sola capacit  della giunzione; in pratica la capacit  che si vede ai morsetti del diodo e' la somma della capacit  di giunzione e della capacit  del contenitore, per cui la dipendenza da E non e' cos  marcata. Il valore della capacit  di transizione in funzione della tensione di polarizzazione inversa e' di solito riportato nel foglio delle caratteristiche del dispositivo (p.98 e p.100 dell'Appendice).

Il circuito equivalente valido per il segnale e' ora quello riportato nella fig.43.3.

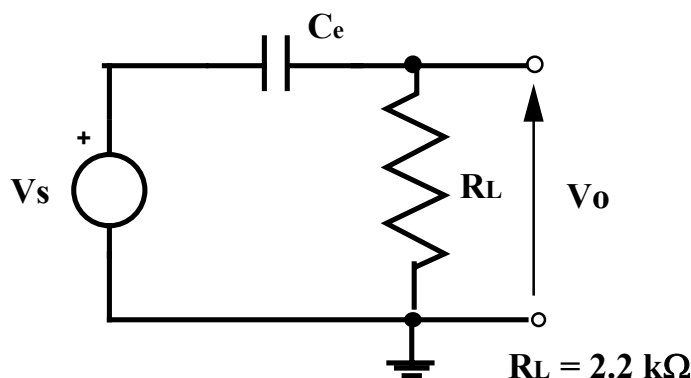


fig.43.3 Circuito equivalente per piccolo segnale in polarizzazione inversa

Come si vede si tratta di un circuito passa-alto; la sua costante di tempo varia con la polarizzazione inversa E come e' riportato nella tabella seguente:

E [V]	C <sub>e</sub> [pF]	$\tau$ [ns] @ R <sub>L</sub> =2.2 k $\Omega$
0	4	8.8
1	3.72	8.2
2	3.66	8
5	3.56	7.8
10	3.42	7.5

Andamento della costante di tempo del circuito in fig.43.3 in funzione della tensione di polarizzazione inversa E del diodo.

Quando viene usato in questo modo, ovvero come un condensatore variabile comandato da una tensione, il diodo prende il nome di "Varactor".

### 2.3. Esercitazione n. 3: CIRCUITI CON AMPLIFICATORI OPERAZIONALI

Sulla basetta da utilizzare per questa esercitazione sono presenti tre interruttori che permettono di selezionare i diversi circuiti previsti (v. fig.44).

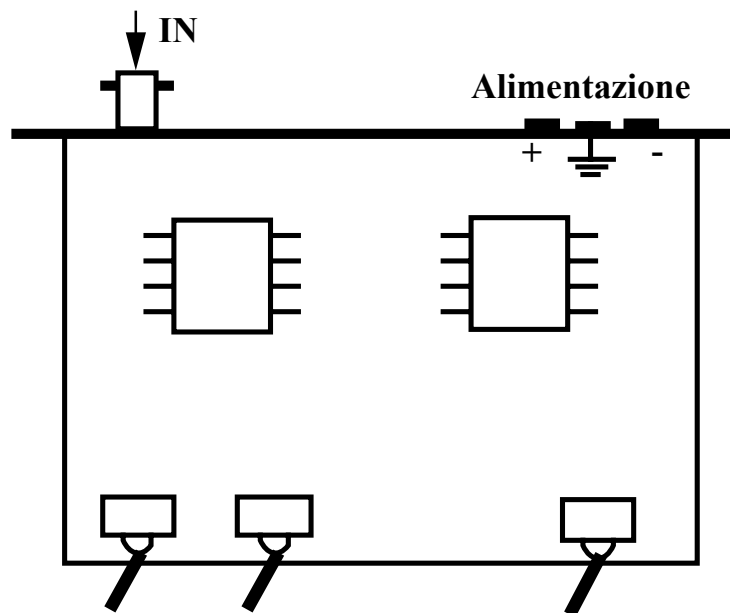


fig.44 Disposizione circuitale degli interruttori di selezione dei vari circuiti (vista dal lato componenti).

Accanto al nome sottolineato del circuito appare una terna di lettere (S=sinistra, D=destra, X=indifferente) che indicano la posizione dei tre interruttori osservati come in fig.44 dal lato componenti. Il connettore BNC presente sulla basetta serve per collegare il segnale di ingresso proveniente dal generatore di funzioni; normalmente tale segnale deve essere dell'ordine dei mV per evitare distorsioni e la saturazione dell'uscita dell'amplificatore operazionale, che nelle configurazioni di amplificatore invertente e non invertente presenta un guadagno relativamente elevato, dell'ordine dei 40 dB. Le tre boccole accanto al connettore BNC servono per il collegamento delle tensioni di alimentazione, che normalmente saranno di  $\pm 15$  V (nero= $-15$ V, rosso= $+15$ V, giallo=massa). Per non danneggiare il circuito e/o la strumentazione la procedura di accensione deve essere la seguente:

- a) con il circuito scollegato e l'alimentatore spento si pone quest'ultimo nella configurazione in cui le due sezioni sono collegate in serie, si accende l'alimentatore e si regola la tensione di uscita della sezione MAIN su  $+15$ V;
- b) si accende il generatore di funzioni e lo si imposta su una tensione di uscita di alcuni mV con forma d'onda sinusoidale;
- c) dopo aver spento l'alimentatore si collegano i fili di alimentazione del circuito all'alimentatore stesso, rispettando le polarità;
- d) dopo aver spento il generatore di funzioni si collega l'uscita di questo, attraverso un T BNC, al connettore BNC presente sulla basetta;
- f) si accendono nell'ordine l'oscilloscopio, l'alimentatore, il generatore di funzioni.
- g) tramite il T BNC si collega il segnale d'ingresso al CH1 dell'oscilloscopio;
- h) si collega la sonda al CH2 dell'oscilloscopio per osservare il segnale di uscita.

### 2.3.1. L'amplificatore invertente (S, S, X)

Lo schema elettrico di un amplificatore realizzato con un amplificatore operazionale nella configurazione invertente è riportato nella fig.45.

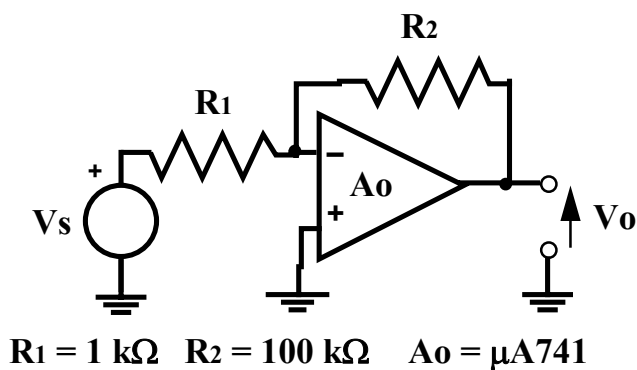


fig.45 Schema elettrico dell'amplificatore invertente.

L'amplificatore operazionale  $A_0$  non è ideale ma ha una amplificazione ad anello aperto  $A$  di tipo passa-basso a singola costante di tempo:

$$A = \frac{V_o}{(V_i^+ - V_i^-)} = \frac{A_0}{1 + s\tau}; \quad A_0 \gg 1 \quad (1)$$

L'amplificazione  $\frac{V_o}{V_s}$  è quindi data dalla relazione

$$\frac{V_o}{V_s} = - \frac{A_0 R_2}{[(1 + A_0)R_1 + R_2] \left[ 1 + \frac{s\tau(R_1 + R_2)}{(1 + A_0)R_1 + R_2} \right]}$$

$$\frac{A_{0f}}{1 + s\tau_f} \quad (2)$$

avendo posto:

$$A_{0f} = - \frac{A_0 R_2}{[(1 + A_0)R_1 + R_2]}$$

$$\approx - \frac{R_2}{R_1} \quad (\text{se } (1 + A_0)R_1 \gg R_2)$$

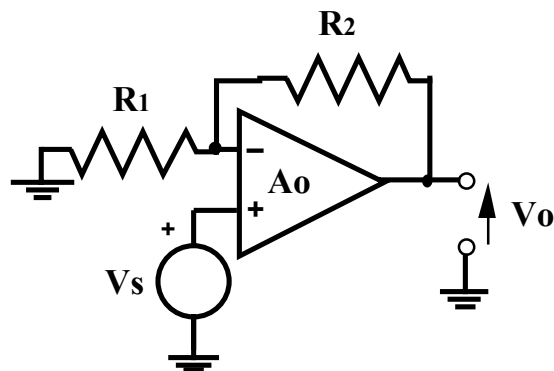
e

$$\tau_f = \frac{\tau(R_1 + R_2)}{[(1 + A_0)R_1 + R_2]}$$

La relazione (2) può essere verificata tracciando i diagrammi dell'amplificazione Bode di  $\frac{V_o}{V_s}$ .

### 2.3.2. L'amplificatore non invertente (S, D, X)

Lo schema elettrico dell'amplificatore operazionale nella configurazione non invertente è il seguente:



$$R_1 = 1 \text{ k}\Omega \quad R_2 = 100 \text{ k}\Omega \quad A_o = \mu\text{A741}$$

fig.46 Schema elettrico dell'amplificatore non invertente.

Per il circuito in fig.46 l'amplificazione è data da

$$\begin{aligned} \frac{V_o}{V_s} &= - \frac{A_o (R_1 + R_2)}{[(1 + A_o)R_1 + R_2] \left[ 1 + \frac{s\tau(R_1 + R_2)}{(1 + A_o)R_1 + R_2} \right]} \\ &= \frac{A_{0f}}{1 + s\tau_f} \end{aligned} \quad (3)$$

in cui:

$$\begin{aligned} A_{0f} &= - \frac{A_o(R_2 + R_1)}{[(1 + A_o)R_1 + R_2]} \\ &\approx 1 + \frac{R_2}{R_1} \quad (\text{se } (1 + A_o)R_1 \gg R_2) \end{aligned}$$

$$\text{e} \quad \tau_f = \frac{\tau(R_1 + R_2)}{[(1 + A_o)R_1 + R_2]}$$

La relazione (3) può essere verificata tracciandone i diagrammi di Bode.

### 2.3.3. Misura della tensione di offset (X, X, D)

Per misurare l'offset di tensione tra gli ingressi dell'amplificatore operazionale occorre utilizzare il circuito in fig.47, per il quale non e' previsto alcun generatore di segnale.

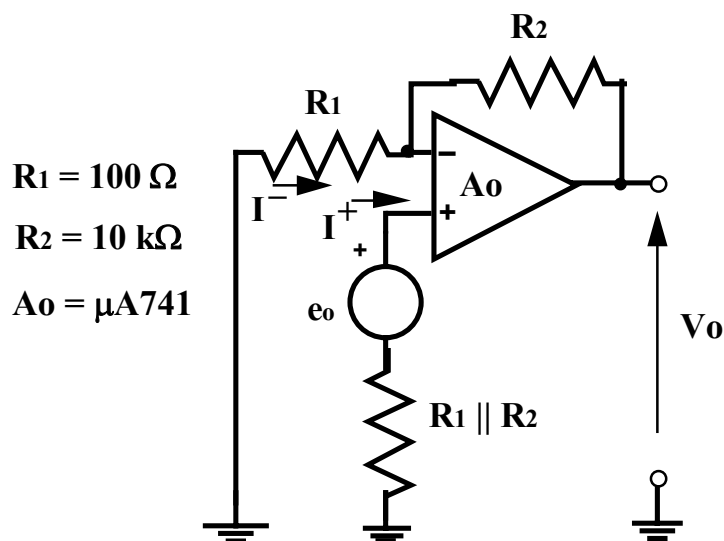


fig.47 Schema elettrico del circuito per la misura della tensione di offset.

La tensione di uscita del circuito in fig.47 è dato dalla relazione

$$V_0 = R_2 (I^- - I^+) + e_0 \left(1 + \frac{R_2}{R_1}\right) \quad (4)$$

valida per  $A_0 \gg 1$ . Come si vede la tensione di uscita dipende sia dall'offset di tensione che dall'offset di corrente. Dalle caratteristiche dell'amplificatore operazionale impiegato si vede che il contributo alla tensione di uscita dell'offset di corrente è di  $0.2 \div 2 \text{ mV}$ , mentre il contributo dell'offset di tensione e' di  $100 \div 500 \text{ mV}$ . Trascurando quindi l'effetto dell'offset di corrente si ottiene la tensione di offset di ingresso come

$$e_0 \approx \frac{V_0}{\left(1 + \frac{R_2}{R_1}\right)}$$

dove  $V_0$  e' la tensione di uscita del circuito di fig.47. In generale, per misurare l'offset di tensione occorre minimizzare il contributo dell'offset di corrente, bisogna cioè fare in modo che sia soddisfatta la relazione

$$R_2(I^- - I^+) \ll e_0 \left(1 + \frac{R_2}{R_1}\right)$$

In pratica occorre tenere  $R_2$  piccola.



#### 2.3.4. Misura della corrente di offset (X, X, S)

Per misurare l'offset di corrente si utilizza un circuito ottenuto da quello di fig.47 ponendo  $R_1 = \infty$  (v. fig.48)

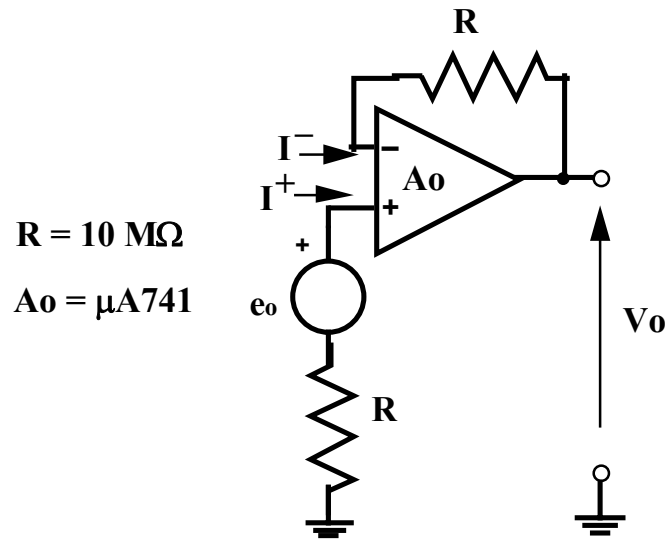


fig.48 Schema elettrico del circuito per la misura dell'offset di corrente.

La tensione di uscita del circuito di fig.48 è data da

$$V_0 = R(I^- - I^+) + e_0 \quad (5)$$

Come si vede c'è anche un contributo dovuto all'offset di tensione; per misurare l'offset di corrente occorre fare in modo che tale contributo sia trascurabile rispetto a ciò che si vuole misurare, ovvero occorre soddisfare la relazione

$$R(I^- - I^+) \gg e_0$$

Dalle caratteristiche dell'amplificatore operazionale si vede che, con  $R = 10 \text{ M}\Omega$ , il contributo dell'offset di corrente è di  $0.2 \div 2 \text{ V}$ , mentre il contributo dell'offset di tensione è di  $1 \div 5 \text{ mV}$ , del tutto trascurabile. In realtà potremmo ricavare  $(I^- - I^+)$  direttamente dalla (5) senza trascurare la tensione di offset di ingresso avendola già misurata col circuito precedente.

### 2.3.5. Il circuito integratore di Miller (D, S, X)

Lo schema elettrico di questo tipo di integratore è quello riportato in fig.49.

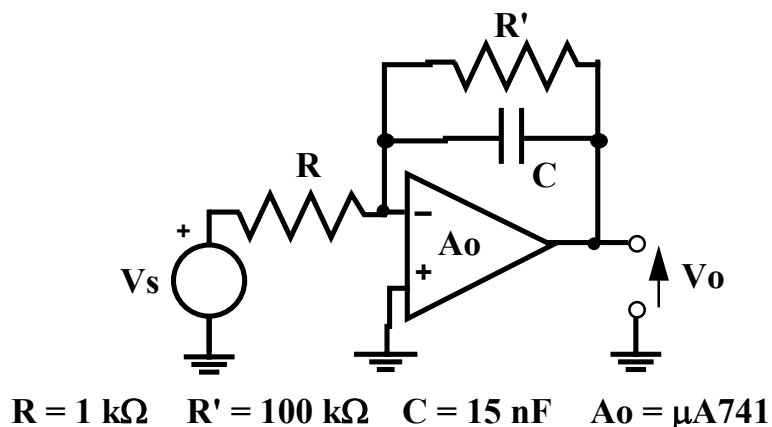


fig.49 Schema elettrico dell'integratore di Miller.

Cominciamo a supporre che sia  $R' = \infty$  ; in tal caso il legame tra  $V_s$  e  $V_o$  è dato dalla relazione

$$\frac{V_o}{V_s} = -\frac{1}{s\tau}$$

nel caso ideale, e

$$\begin{aligned} \frac{V_o}{V_s} &= \frac{-A_0}{1 + s[(1 + A_0)RC + \tau] + s^2 RC\tau} \\ &= \frac{-A_0}{\left(1 - \frac{s}{s_1}\right)\left(1 - \frac{s}{s_2}\right)} \end{aligned} \quad (6)$$

nel caso in cui l'amplificazione dell'amplificatore operazionale sia di tipo passa-basso a singola costante di tempo, ovvero:

$$A = \frac{V_o}{(V_i^+ - V_i^-)} = \frac{A_0}{1 + s\tau}; \quad A_0 \gg 1 \quad (7)$$

Nell'eq. (6),  $s_1$  ed  $s_2$  sono gli zeri del polinomio al denominatore e, nell'ipotesi  $(1 + A_0)RC \gg \tau$ , valgono rispettivamente

$$s_{1,2} \approx \begin{cases} -1 \\ A_0 RC \\ -A_0 \\ \tau \end{cases} \quad (8)$$

Nel caso dell'amplificatore operazionale  $\mu A741$  si ha

$$A_0 \approx 2 \times 10^5$$

$$\tau \approx 30 \text{ ms}$$

ed avendo scelto  $R = 1 \text{ K}\Omega$  e  $C = 15 \text{ nF}$  si ha  $(1 + A_0) RC = 3 \text{ s} \gg \tau$ .

Il diagramma di Bode di  $\left| \frac{V_o}{V_s} \right|$  avrà pertanto l'andamento riportato in fig.50.

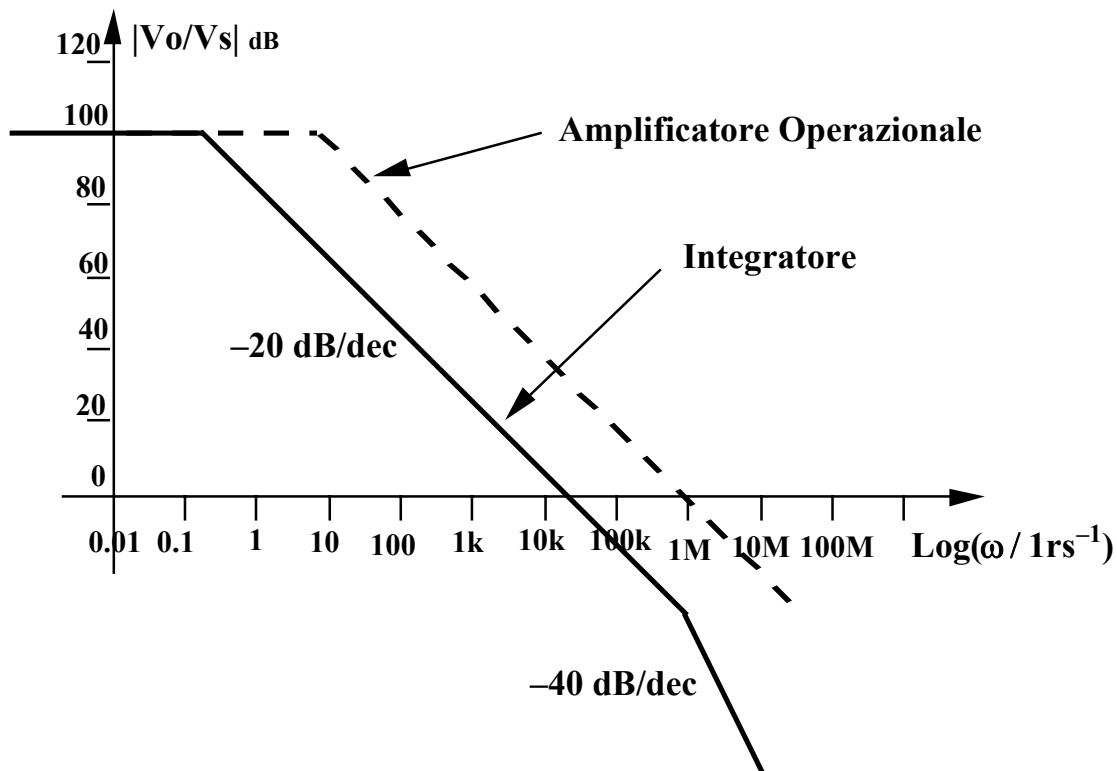


fig.50 Diagramma di Bode del modulo della risposta in frequenza dell'integratore di Miller con  $R' = \infty$ .

Come si vede, il circuito si comporta come un buon integratore per valori di  $\omega$  tali che

$$|s_1| \ll \omega \ll |s_2|$$

L'integratore risulta limitato dalla non idealita' dell'amplificatore operazionale, e precisamente dall'amplificazione finita  $A_0$  alle basse frequenze e dalla banda passante finita alle alte frequenze. In realta' la resistenza  $R'$ , che deve essere presente per limitare il guadagno in continua ed evitare cosi' la saturazione dell'uscita a causa della tensione di offset d'ingresso e delle correnti di polarizzazione d'ingresso, non e' infinita ma vale  $100 \text{ k}\Omega$ ; l'introduzione di questa ulteriore resistenza pone delle limitazioni alle prestazioni dell'integratore in bassa frequenza. Risolvendo il circuito in questo caso, usando per l'amplificazione dell'amplificatore operazionale l'eq.(7), si ottiene la seguente funzione di trasferimento:

$$\frac{V_o}{V_s} = \frac{-A_0 R'}{R'+(1+A_0)R} \frac{1}{1 + \frac{s\{\tau R'+[(1+A_0)\tau'+\tau]R\}}{R'+(1+A_0)R} + \frac{s^2 R \tau \tau'}{R'+(1+A_0)R}}$$

$$\approx -\frac{R'}{R} \frac{1}{1 + \frac{s\{\tau R'+[(1+A_0)\tau'+\tau]R\}}{R'+(1+A_0)R} + \frac{s^2 R \tau \tau'}{R'+(1+A_0)R}}$$
(9)

con  $\tau' = R' C$ . Possiamo ora valutare l'andamento della eq.(9), che ha ancora due poli, in bassa frequenza e in alta frequenza. In bassa frequenza si puo' trascurare il termine in  $s^2$  al denominatore; se poi, come di solito avviene, valgono le disuguaglianze

$$\tau (R + R') \ll (1 + A_0) \tau' R ; \quad R' \ll (1 + A_0) R \quad (10)$$

l'eq.(9) si riduce a: 
$$\frac{V_o}{V_s} = -\frac{R'}{R} \frac{1}{1 + s \tau'} \quad (11)$$

da cui si ottiene il primo polo

$$s_1' = -\frac{1}{\tau'} \quad (12a)$$

In alta frequenza l'amplificazione dell'amplificatore operazionale puo' essere approssimata da un integratore puro

$$A \approx \frac{A_0}{s \tau}$$

e al denominatore della (9) l'unita' e' trascurabile rispetto ai termini in  $s$  e  $s^2$ . L'eq.(9) si riduce in questo caso a

$$\frac{V_o}{V_s} \approx -\frac{R'}{R} \frac{1}{s \tau' \left(1 + s \frac{\tau}{A_0}\right)} \quad (13)$$

in cui il termine  $s\tau'$  al denominatore e' la "coda" del polo a bassa frequenza, ed il secondo polo e'

$$s_2' = -\frac{A_0}{\tau} \quad (12b)$$

Come si vede il secondo polo coincide con quello che si avrebbe in assenza di  $R'$ , mentre il primo polo e' determinato dalla costante di tempo  $\tau'$  del parallelo  $R' C$ ; anche il guadagno in continua risulta modificato: esso vale infatti  $-\frac{R'}{R}$  ed e' in modulo molto minore del precedente ( $A_0$ ). Il diagramma di Bode del modulo della risposta in frequenza corrispondente alla (9) e' riportato nella fig.51; il circuito si comporta da buon integratore per

$$|s_1'| \ll \omega \ll |s_2'|$$

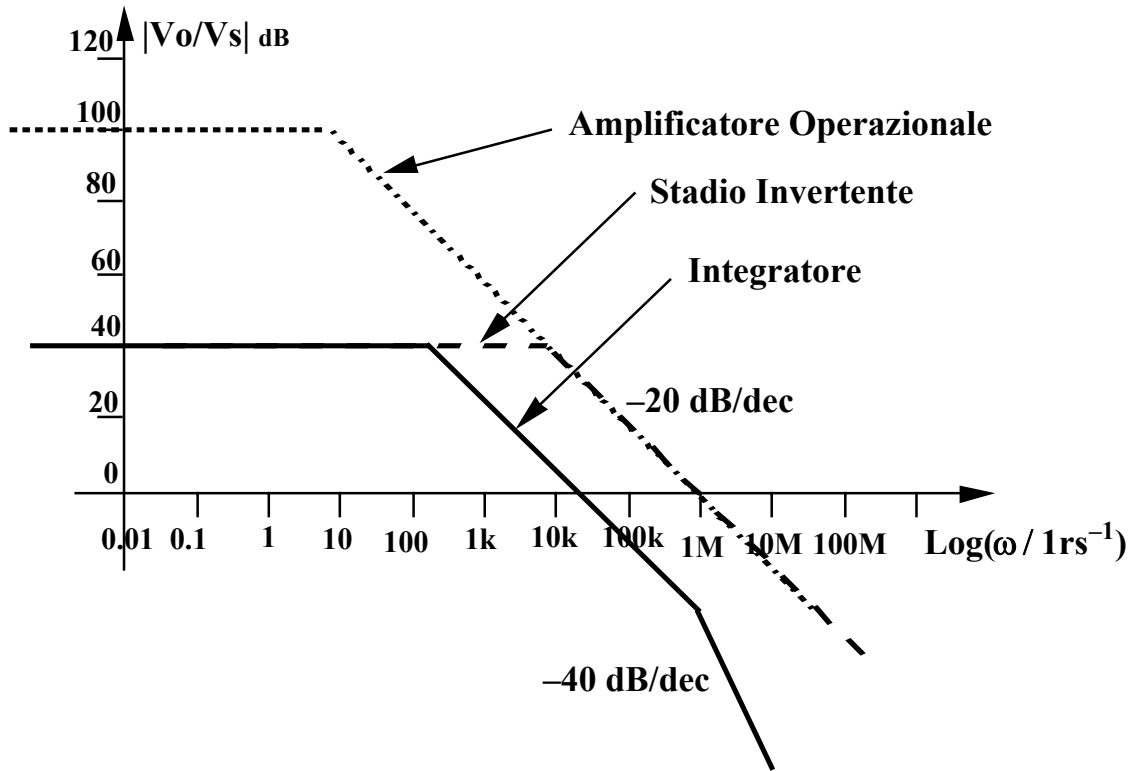


fig.51 Diagramma di Bode del modulo della risposta in frequenza dell'integratore di Miller nel caso  $R' = 100 \text{ k}\Omega$ .

La massima amplificazione (amplificazione in continua) e' ora limitata dal guadagno dell'amplificatore invertente costituito da R ed  $R'$ , ed e' pari a 40 dB.

## 2.4. Esercitazione n. 4: IL FET A GIUNZIONE

Sulla basetta da utilizzare per questa esercitazione sono presenti tre interruttori che permettono di selezionare i diversi circuiti previsti (v. fig.52).

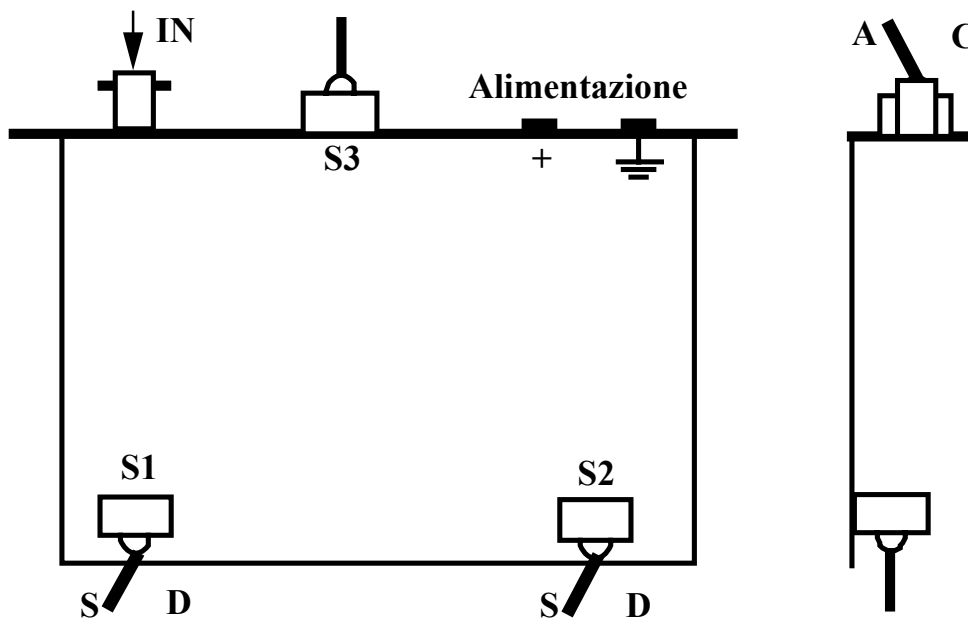


fig.52 Disposizione circuitale degli interruttori di selezione dei vari circuiti (vista dal lato componenti e da sinistra).

Accanto al nome sottolineato del circuito appare una terna di lettere (S=sinistra, D=destra, X=indifferente, A=aperto, C=chiuso) che indicano la posizione dei tre interruttori osservati come in fig.52 dal lato componenti. Il connettore BNC presente sulla basetta serve per collegare il segnale di ingresso proveniente dal generatore di funzioni; normalmente tale segnale deve essere dell'ordine delle decine di mV per evitare distorsioni e la saturazione dell'uscita dell'amplificatore. Le due boccole accanto al connettore BNC servono per il collegamento della tensione di alimentazione, che deve essere di circa 30 V (nero=massa, rosso=+30V).

**N.B. La tensione di alimentazione non deve superare i 30 V!**

Per non danneggiare il circuito e/o la strumentazione la procedura di accensione deve essere la seguente:

- a) con il circuito scollegato e l'alimentatore spento si pone quest'ultimo nella configurazione in cui le due sezioni sono collegate in serie, si accende l'alimentatore e si regola la tensione di uscita della sezione MAIN su +15V;
- b) si accende il generatore di funzioni e lo si imposta su una tensione di uscita di alcune decine di mV con forma d'onda sinusoidale;
- c) dopo aver spento l'alimentatore si collegano i fili di alimentazione del circuito all'alimentatore stesso, rispettando le polarità;
- d) dopo aver spento il generatore di funzioni si collega l'uscita di questo, attraverso un T BNC, al connettore BNC presente sulla basetta;
- f) si accendono nell'ordine l'oscilloscopio, l'alimentatore, il generatore di funzioni.
- g) tramite il T BNC si collega il segnale d'ingresso al CH1 dell'oscilloscopio;
- h) si collega la sonda al CH2 dell'oscilloscopio per osservare il segnale di uscita.

### 2.4.1. Il circuito di polarizzazione (S, S, A)

Per determinare il punto di lavoro del JFET occorre spegnere il generatore di funzioni, in quanto le misure vanno effettuate sulle componenti continue. Nella fig.53 è riportato il circuito di polarizzazione automatica del JFET.

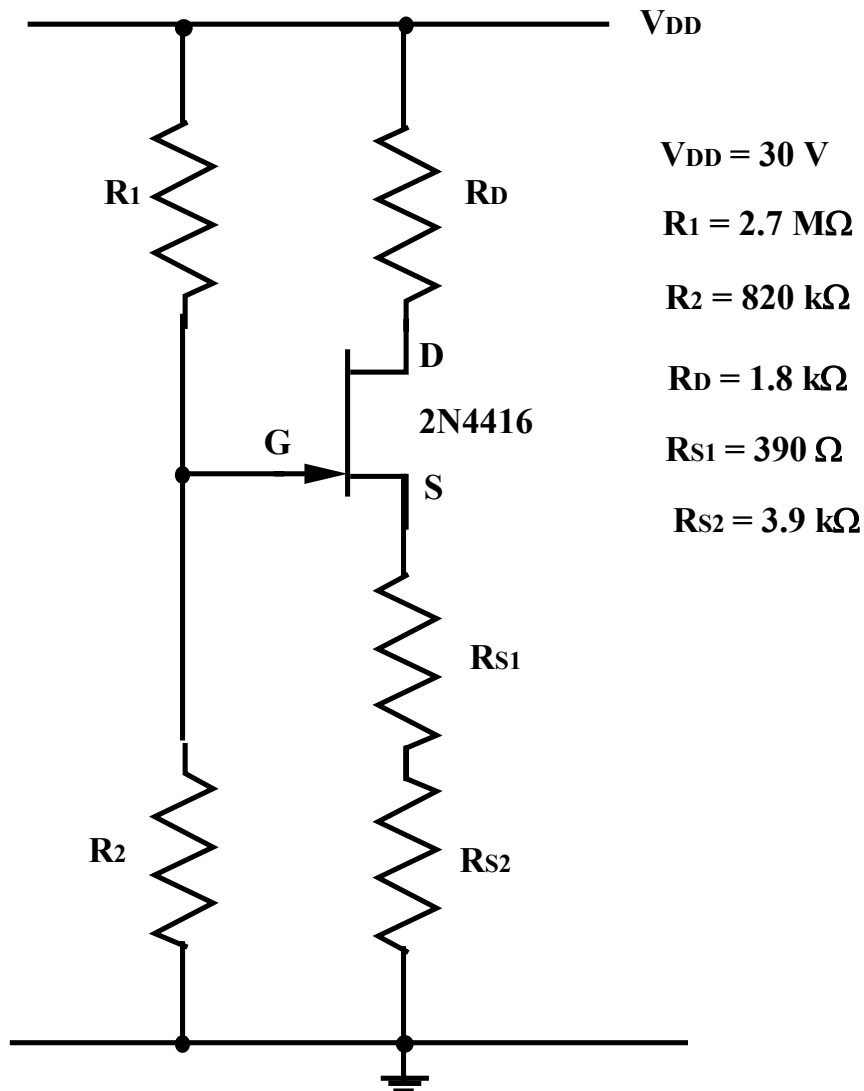


fig.53 Schema elettrico del circuito di polarizzazione automatica del JFET.

L'equazione della retta di carico è

$$V_{DS} = V_{DD} - (R_D + R_{S1} + R_{S2}) I_D \quad (14)$$

Il valore della corrente di drain  $I_D$  si ottiene intersecando la retta di polarizzazione

$$V_{GS} = \frac{V_{DD} R_2}{(R_1 + R_2)} - (R_{S1} + R_{S2}) I_D \quad (15)$$

con la transcaratteristica del JFET. Consultando le caratteristiche fornite dal costruttore relative al JFET si vede che non vi è una sola transcaratteristica; si tratta allora di determinare quella che più si avvicina al comportamento dello specifico componente. A tal

fine occorre determinare  $I_D$  e  $V_{GS}$ , che sono deducibili da misure di  $V_{DD}$ ,  $V_S$ ,  $V_D$ , e  $V_G$ , supponendo noti i valori delle resistenze. Particolare cura deve essere posta nella misura di  $V_G$  a causa della elevata impedenza ( $R_1 \parallel R_2 \approx 0.6 \text{ M}\Omega$ ) presente tra il nodo G e massa, impedenza che è confrontabile con quella della sonda ( $10 \text{ M}\Omega$ ); il valore di tensione misurato va quindi corretto per tener conto del carico costituito dalla sonda. Una volta dedotti dalle misure i valori di  $I_D$  e  $V_{GS}$ , che chiamiamo  $I_{D1}$  e  $V_{GS1}$ , li si riportano nel piano della transcaratteristica (v. Allegato p.4-10) e si stimano i valori ottimali di  $I_{DSS}$  e  $V_P$ .

La stima dei parametri caratteristici del JFET nell'approssimazione parabolica,  $V_P$  e  $I_{DSS}$ , può essere migliorata determinando un altro punto di lavoro attraverso una modifica del circuito di polarizzazione. Ciò si ottiene chiudendo l'interruttore S3 (posizione C) che cortocircuita il resistore  $R_{S1}$ . In queste condizioni le equazioni della retta di carico e della retta di polarizzazione diventano rispettivamente:

$$V_{DS} = V_{DD} - (R_D + R_{S2}) I_D \quad (14.1)$$

e

$$V_{GS} = \frac{V_{DD} R_2}{(R_1 + R_2)} - R_{S2} I_D \quad (15.1)$$

Dopo aver verificato che i due punti di lavoro si trovano entrambi in saturazione (attraverso una misura della  $V_{GD}$ ), inserendo le loro coordinate,  $(I_{D1}, V_{GS1})$  e  $(I_{D2}, V_{GS2})$ , nell'equazione della caratteristica valida in saturazione si ottengono i valori dei parametri  $V_P$  e  $I_{DSS}$ . In alternativa si può procedere graficamente, riportando i punti di lavoro individuati nel piano della transcaratteristica e cercando di interpolarli con una curva che somigli a quelle riportate.

#### 2.4.2. L'amplificatore senza elettrodi a massa (D, S, A)

Collegando il generatore di segnale  $v_s$  tra il gate e massa e prelevando la tensione di uscita  $v_0$  tra il drain e massa, come è illustrato nella fig.54,



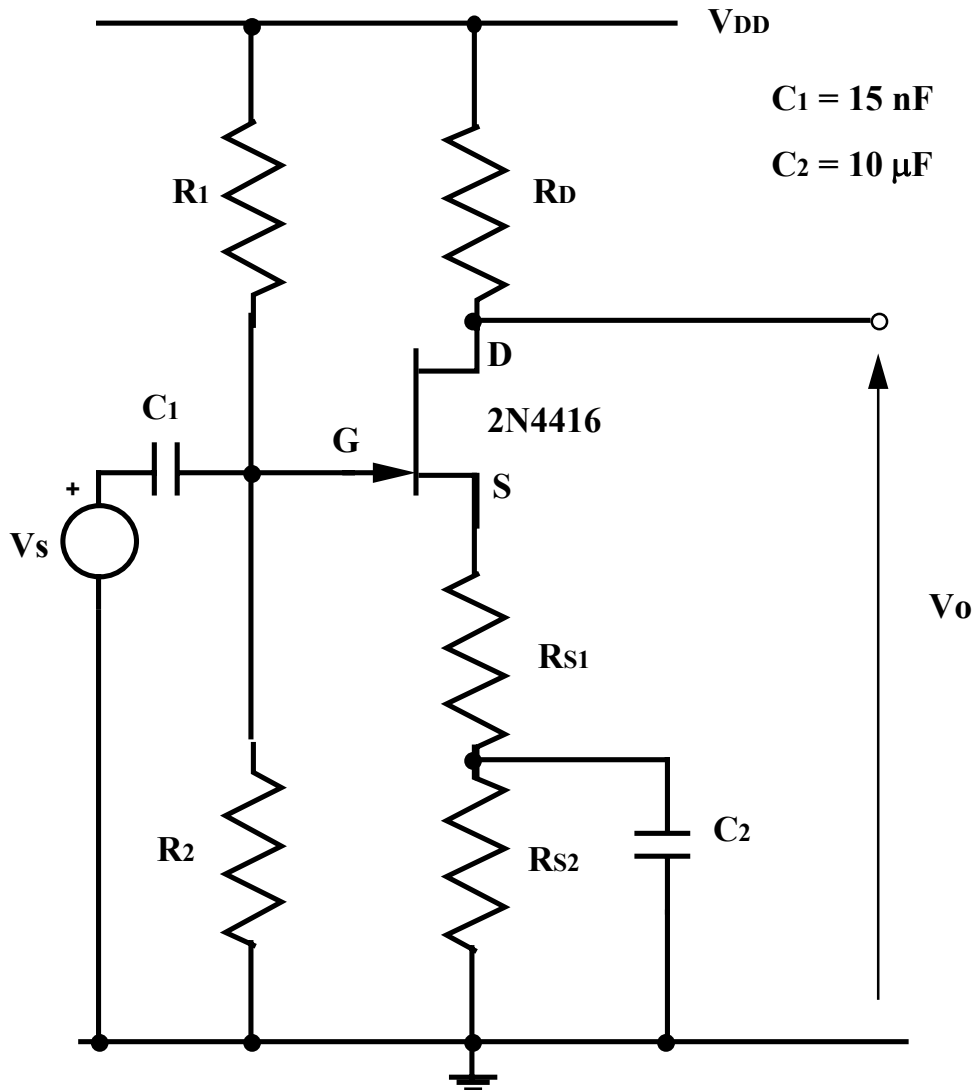


fig.54 Schema elettrico dell'amplificatore senza elettrodi a massa.

si ottiene lo stadio di amplificazione senza elettrodi a massa; il circuito equivalente valido per il segnale al centro banda è riportato nella fig.55.

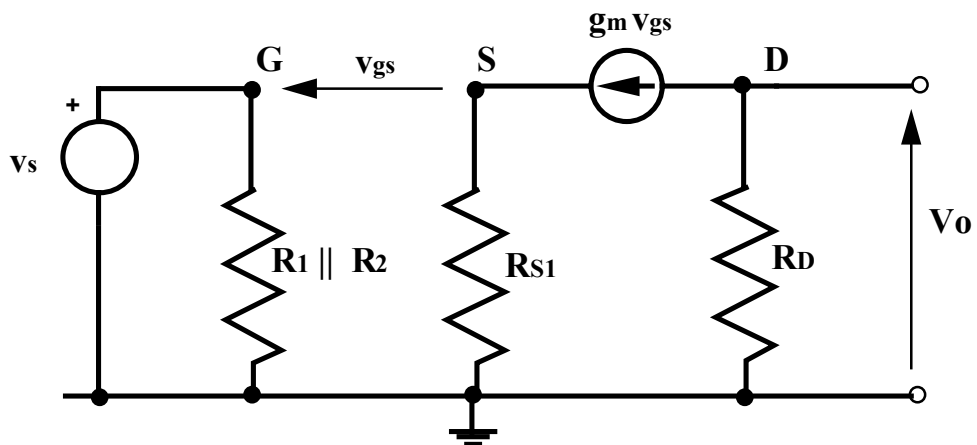


fig.55 Circuito equivalente dell'amplificatore senza elettrodi a massa.

L'amplificazione è data dall'espressione

$$\begin{aligned} \frac{v_o}{v_s} &= -\frac{g_m R_D}{(1 + g_m R_{S1})} \\ &\approx -\frac{R_D}{R_{S1}} \quad (\text{se } g_m R_{S1} \gg 1) \end{aligned} \quad (16)$$

Quest'ultima approssimazione non vale a causa del basso valore di  $g_m R_{S1}$ .

Il valore di  $g_m$  da introdurre nell'eq(16) può essere determinato dal punto di lavoro.

Alternativamente si può misurare il guadagno  $\frac{v_o}{v_s}$  e da questo determinare il valore di

transconduttanza, che sarà diverso da quello stimato dal punto di lavoro a causa di inevitabili errori di misura e della scelta alquanto arbitraria dei valori di  $I_{DSS}$  e  $V_P$ .

Ponendo gli interruttori nella posizione (S, S) si sconnette il condensatore di by-pass dal resistore  $R_{S2}$  e l'eq.(16) vale ancora pur di sostituire  $R_{S1}$  con  $(R_{S1} + R_{S2})$ ; questa volta la disuguaglianza  $g_m (R_{S1} + R_{S2}) \gg 1$  è verificata e quindi l'amplificazione dipende in pratica solo da  $R_D$  e  $(R_{S1} + R_{S2})$ :

$$\frac{v_o}{v_s} \approx -\frac{R_D}{R_{S1} + R_{S2}}.$$

### 2.4.3. L'amplificatore a source comune (D, S, C)

In questo caso il condensatore di by-pass  $C_2$  nel circuito di fig.54 risulta collegato tra il source e massa, e si ottiene lo stadio di amplificazione a source comune; il circuito equivalente per il segnale al centro banda è quello riportato in fig.56

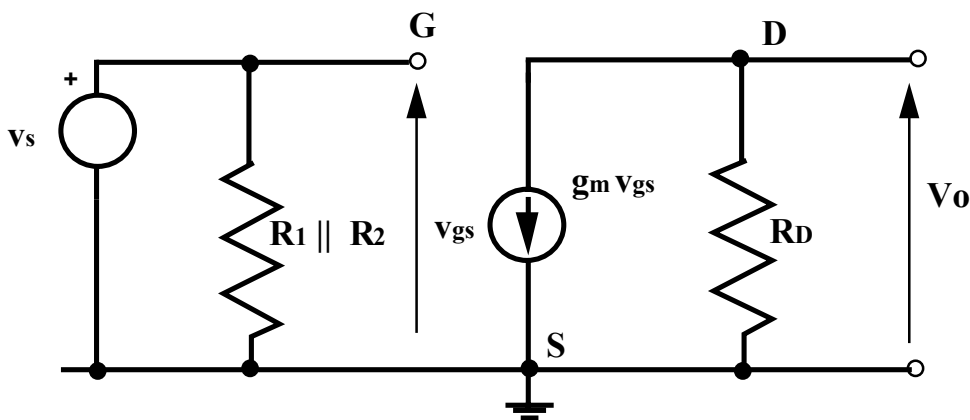


fig.56 Circuito equivalente dell'amplificatore con sorgente comune.

In realta'  $C_2$ , per come e' stato realizzato il circuito, cortocircuita per il solo segnale la sola  $R_{S2}$  :  $R_{S1}$  viene cortocircuitata anche in continua dall'interruttore  $S_3$ . Questa operazione modifica anche il punto di lavoro del dispositivo, che in continua e' percorso da una corrente di drain pari a  $I_{D2}$ .

L'amplificazione del circuito è data da:

$$\frac{v_o}{v_s} = -g_m R_D \quad (17)$$

dove il valore di  $g_m$  sarà lievemente maggiore di quello ottenuto nel caso precedente a causa della variazione del punto di lavoro ( $I_D$  è aumentata).

#### 2.4.4. L'inseguitore di source (S, D, A)

Nella fig.57 è riportato lo schema dello stadio di amplificazione a drain comune, detto anche inseguitore di source:

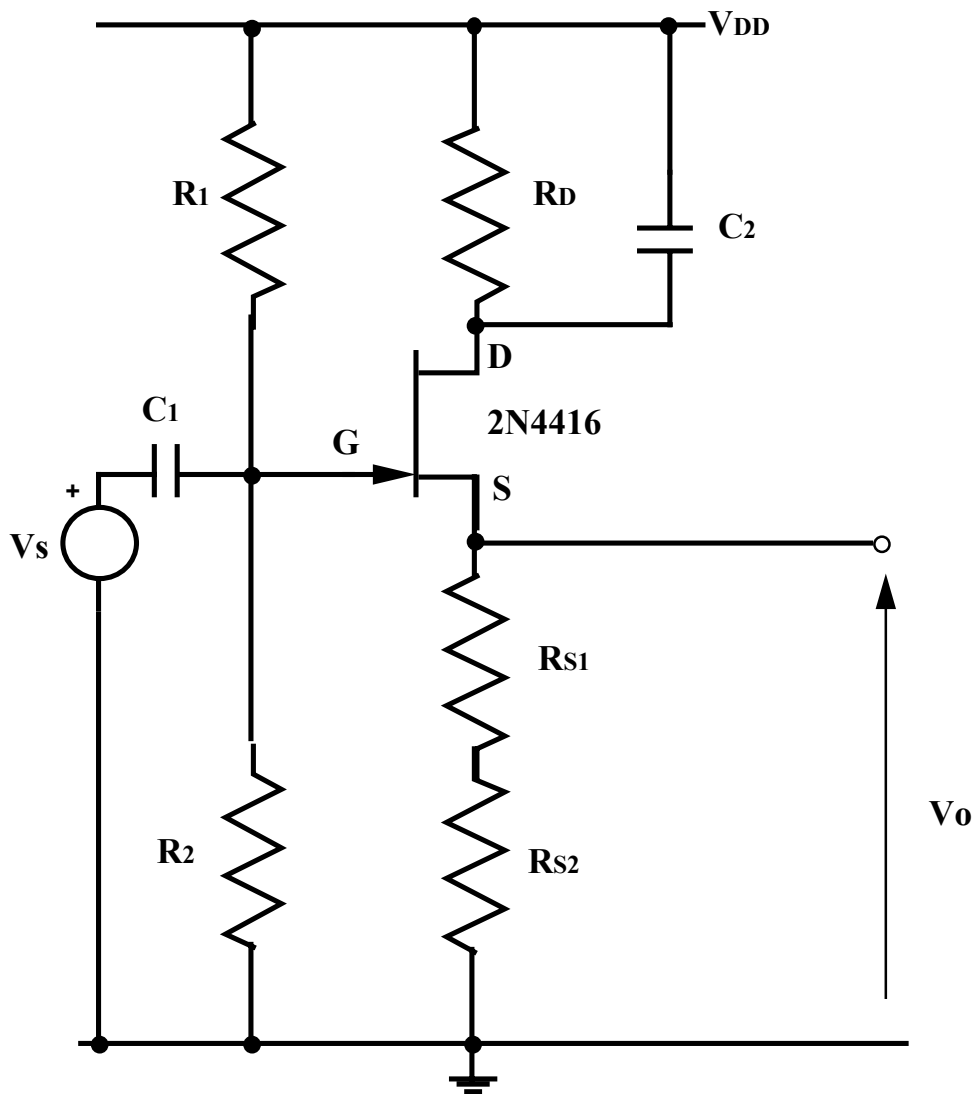


fig.57 Schema elettrico dell'inseguitore di sorgente.

Il circuito equivalente per il segnale al centro banda è quello riportato nella fig.58.

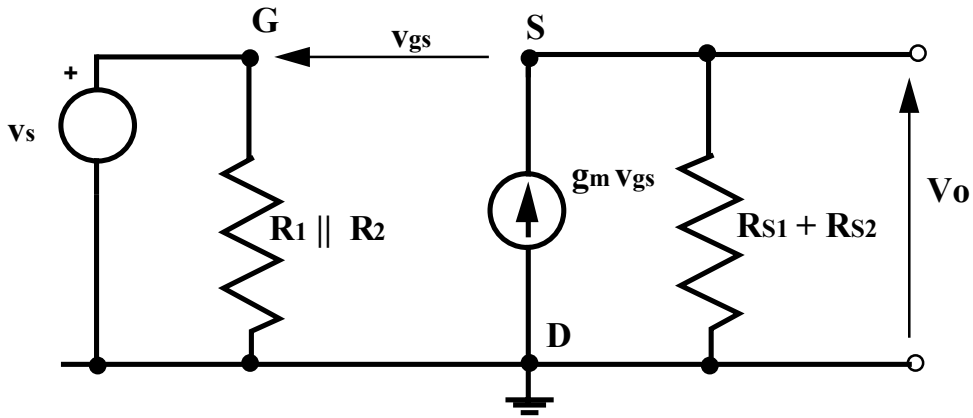


fig.58 Circuito equivalente dell'inseguitore di sorgente.

L'amplificazione è data da:

$$\frac{v_o}{v_s} = \frac{g_m (R_{S1} + R_{S2})}{1 + g_m (R_{S1} + R_{S2})}$$

$$\approx 1 \quad (\text{se } g_m (R_{S1} + R_{S2}) \gg 1) \quad (18)$$

Nel caso in esame la disuguaglianza  $g_m (R_{S1} + R_{S2}) \gg 1$  è verificata (come si vede sostituendo i valori numerici) ed il guadagno è quindi circa unitario. Portando gli interruttori nella posizione (D, D) si ha un circuito ancora del tipo inseguitore di source, ma con il carico costituito dalla sola  $R_{S1}$ ; l'amplificazione e' ora data dall'eq.(18) con  $R_{S2} = 0$ , ovvero:

$$\frac{v_o}{v_s} = \frac{g_m R_{S1}}{1 + g_m R_{S1}} \quad (19)$$

La disuguaglianza  $g_m R_{S1} \gg 1$  non è verificata, anzi si ha addirittura la relazione  $g_m R_S \approx 1$ ! Cio' significa che la resistenza di uscita ( $\frac{1}{g_m}$ ) e' circa uguale al carico ( $R_{S1}$ ).

Dall'eq.(19) si ottiene allora  $\frac{v_o}{v_s} \approx 0.5$ , come si può verificare con una misura diretta del guadagno.

## 2.5. Esercitazione n. 5: INVERTITORI MOSFET

La disposizione dei componenti sulla basetta è riportata nella fig.59. Oltre ai dispositivi attivi sono presenti anche condensatori di filtraggio sulla linea di alimentazione, per minimizzare l'influenza di ciascun circuito sugli altri, e condensatori di carico sull'uscita di ciascun circuito invertitore; i condensatori di carico possono essere collegati o scollegati tramite opportuni ponticelli.

I circuiti sono alimentati tra  $V_{DD} = +3V$  e massa, ed i loro ingressi sono collegati all'unico connettore BNC, indicato con "IN" in fig.59.

I livelli logici  $V_{OL}$  e  $V_{OH}$  sono diversi per le diverse tecnologie: in prima approssimazione si può assumere  $V_{OL} = 0V$  e  $V_{OH} = V_{DD} = 3V$ .

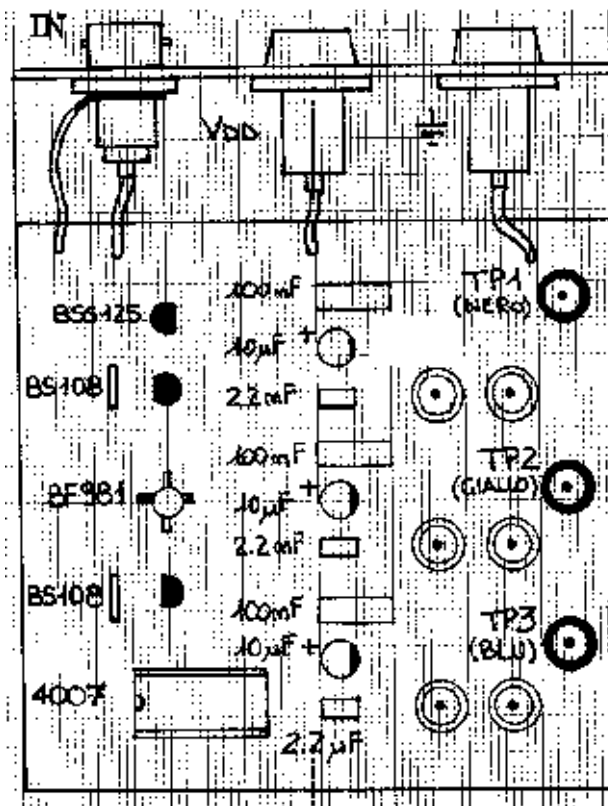


fig.59 Disposizione dei componenti sulla basetta

### 2.5.1 Circuito invertitore NMOS con carico ad arricchimento

La posizione del circuito sulla basetta è indicata nella fig.60:

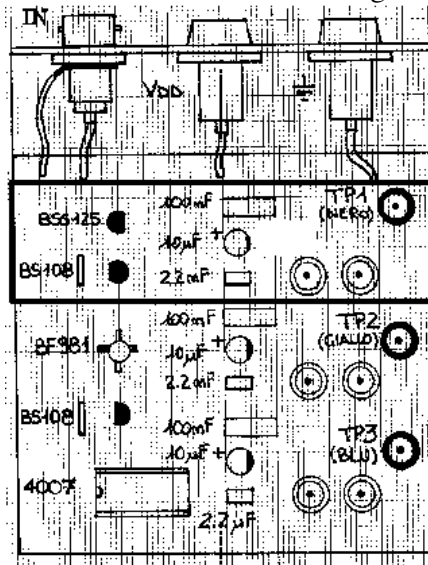


fig.60 Posizione sulla basetta dell'invertitore NMOS con carico ad arricchimento

ed il suo schema circuitale nella fig.61(a).

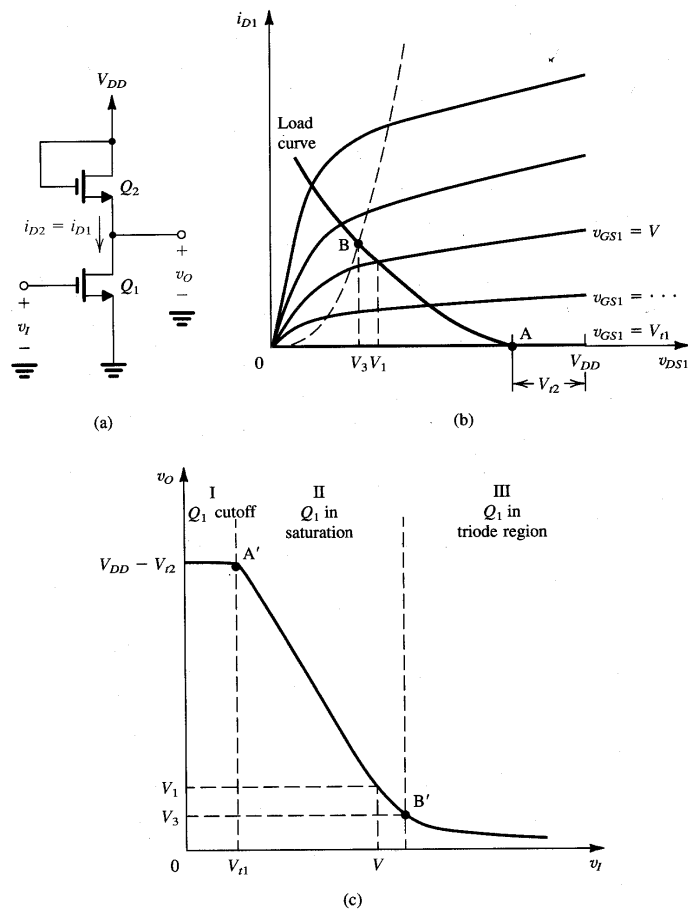


fig.61 Invertitore logico NMOS con carico ad arricchimento (da [6])

Esso è costituito dal MOSFET pilota Q1 (BS108) e dal MOSFET di carico Q2 (BSS125), entrambi del tipo ad arricchimento.

Nella fig.61(b) è indicata la determinazione grafica del generico punto di lavoro del transistore Q<sub>1</sub> al variare di V<sub>i</sub>, mentre la caratteristica di trasferimento del circuito è riportata in fig.61(c). Tale caratteristica può essere osservata sull'oscilloscopio applicando all'ingresso (connettore BNC sulla basetta) una forma d'onda triangolare in bassa frequenza (circa 100 Hz) compresa tra 0 e V<sub>DD</sub>, e osservando la figura che appare sullo schermo avendo applicato il segnale d'ingresso (V<sub>i</sub>) a CH1 e il segnale d'uscita (V<sub>o</sub>), prelevato mediante la sonda al morsetto TP1 sulla basetta, a CH2. Dalla caratteristica di trasferimento è possibile ricavare le tensioni di soglia dei due MOSFET ed il rapporto dei loro coefficienti K; si noti l'assenza di effetti di substrato (i transistori sono discreti, quindi il substrato di ciascuno di essi è collegato al morsetto di sorgente appropriato): in particolare il primo tratto della caratteristica di trasferimento (zona I in fig.61(c)) è costante.

La tensione di uscita presenterà un valore di V<sub>OL</sub> prossimo a zero ed un valore di V<sub>OH</sub> tipico di questa tecnologia, inferiore a V<sub>DD</sub> e precisamente pari a V<sub>DD</sub> - V<sub>t2</sub>.

Per osservare il funzionamento del circuito come invertitore logico occorre applicare all'ingresso un segnale a onda quadra del tipo rappresentato in fig.62(a):

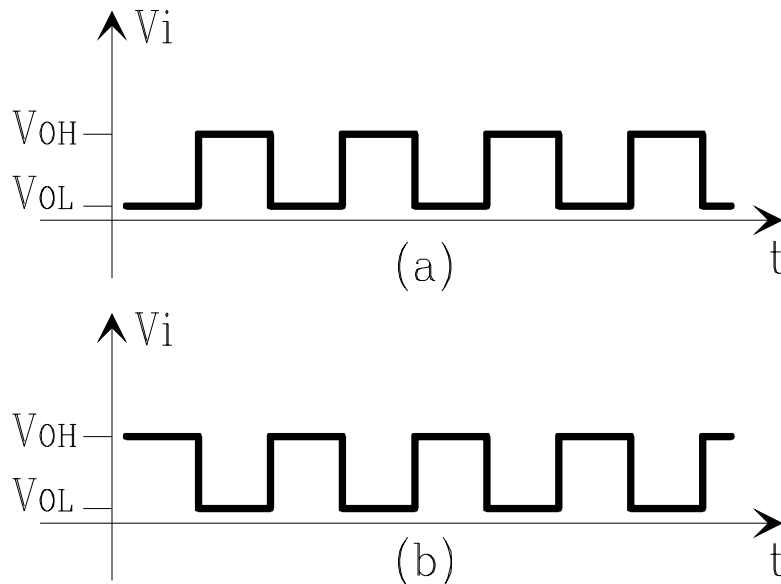


fig.62 Ingresso e uscita dell'invertitore logico NMOS con carico ad arricchimento.

il segnale di uscita corrispondente presenterà l'andamento mostrato nella fig.62(b).

Applicando un segnale d'ingresso del tipo in fig.62(a) con frequenza dell'ordine del Mhz, è possibile osservare i tempi di propagazione  $t_{PHL}$  e  $t_{PLH}$ ; un apposito cortocircuito rimovibile, posto in vicinanza di TP1, permette di collegare/scollegare in uscita un carico capacitivo (circa 2.2nF) evidenziando il fenomeno.



### 2.5.2 Circuito invertitore NMOS con carico a svuotamento

La posizione del circuito sulla basetta è indicata nella fig.63:

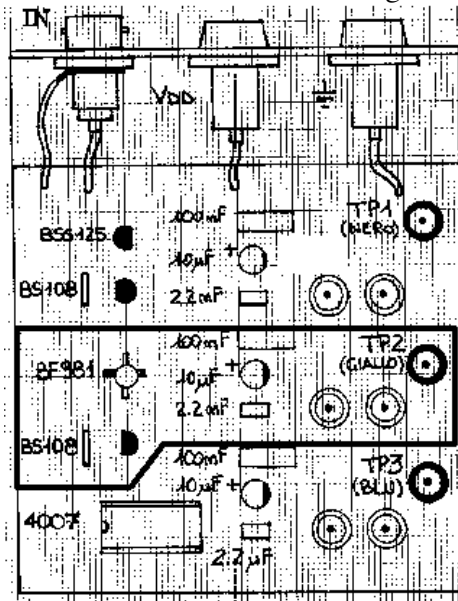


fig.63 Posizione sulla basetta dell'invertitore NMOS con carico ad arricchimento ed il suo schema circuitale nella fig.64(a).

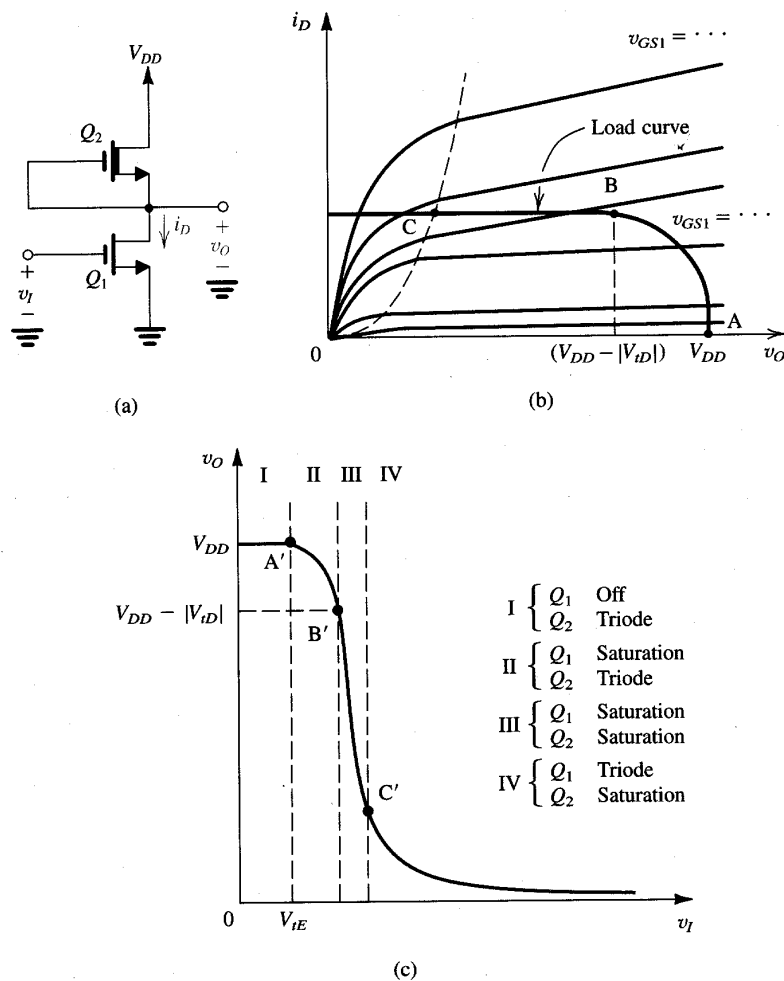


fig.64 Invertitore logico NMOS con carico a svuotamento (da [6])

Esso è costituito dal MOSFET pilota  $Q_1$  (BS108) ad arricchimento e dal MOSFET di carico  $Q_2$  (BF981) a svuotamento. Anche per questo tipo di invertitore non si osserva alcun effetto dovuto al substrato in quanto la realizzazione a componenti discreti permette di collegare ciascun substrato alla sorgente corrispondente; il segnale di uscita è disponibile al morsetto TP2.

Nella fig.64(b) è indicata la determinazione grafica del generico punto di lavoro del transistor  $Q_1$  al variare di  $V_i$ , mentre la caratteristica di trasferimento del circuito è riportata in fig.64(c). Tale caratteristica può essere osservata sull'oscilloscopio analogamente a quanto già descritto al precedente punto 2.5.1. Similmente si può osservare il comportamento del circuito in transitorio, con e senza il carico capacitivo.

### 2.5.3 Circuito invertitore CMOS

La posizione del circuito sulla basetta è indicata nella fig.65:

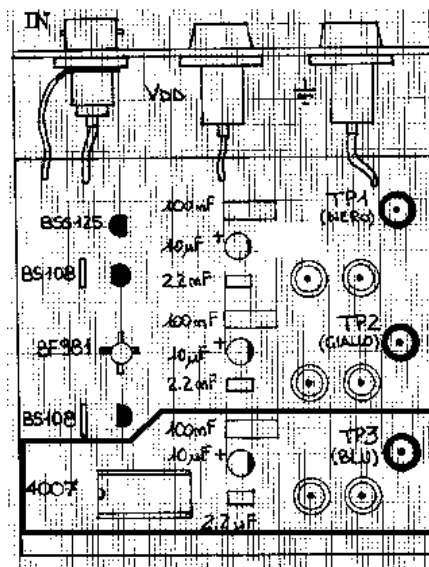


fig.65 Posizione sulla basetta dell'invertitore CMOS

ed il suo schema circuitale nella fig.66(b); nella parte (a) è evidenziato il collegamento dei substrati, che li rende ininfluenti sul comportamento del circuito. L'invertitore CMOS è l'unico che non risente degli effetti di substrato anche nelle realizzazioni integrate [6]

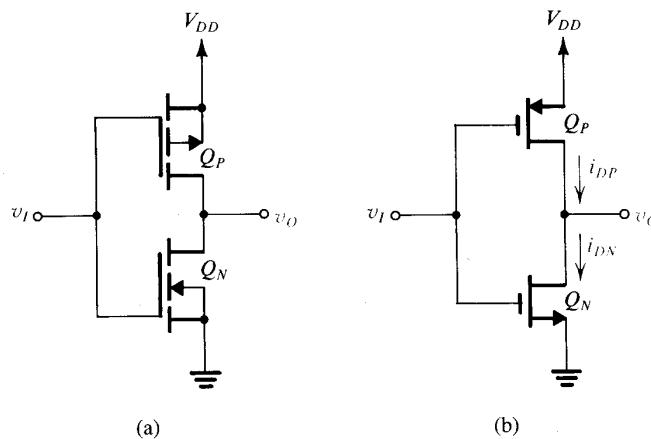


fig.66 Invertitore logico CMOS (da [6])

I transistori  $Q_N$  e  $Q_P$  sono entrambi contenuti all'interno di un circuito integrato (4007) e complementari; il segnale di uscita è disponibile al morsetto TP3. Nella fig.67 è riportata la caratteristica di trasferimento dell'invertitore CMOS;

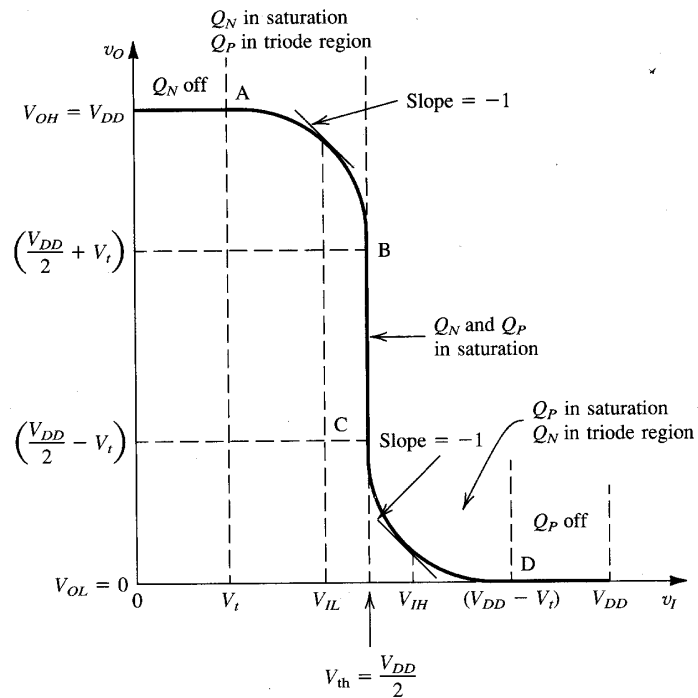


fig.67 Caratteristica di trasferimento dell'invertitore CMOS (da [6])

tale caratteristica può essere osservata come già descritto al precedente punto 2.5.1. Similmente si può osservare il comportamento del circuito in transitorio, con e senza il carico capacitivo.

### **3. Bibliografia**

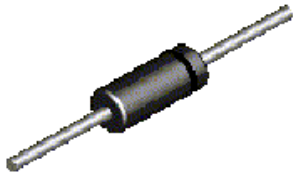
- [1] Tektronix 2245A Portable Oscilloscope Operators Manual; 1989-1991.
- [2] Tektronix P6109B 10X Passive Probe Instruction Manual; 1992.
- [3] Tektronix CFG280 11 MHz Function Generator Instruction Manual; 1992.
- [4] Tektronix The PS280&PS283 Laboratory DC Power Supply Operator Manual; 1991.
- [5] Millmann, Grabel: "Microelettronica", McGraw-Hill, 1994.
- [6] Sedra/Smith, "Microelectronic Circuits" - fourth edition, Oxford University Press, Oxford, 1997.

## **4. Appendice A**

### **Caratteristiche elettriche di alcuni componenti elettronici e circuiti integrati**



# 1N/FDLL 914/A/B / 916/A/B / 4148 / 4448



DO-35



LL-34

THE PLACEMENT OF THE EXPANSION GAP HAS NO RELATIONSHIP TO THE LOCATION OF THE CATHODE TERMINAL

**COLOR BAND MARKING**

DEVICE	1ST BAND	2ND BAND
FDLL914	BLACK	BROWN
FDLL914A	BLACK	GRAY
FDLL914B	BROWN	BLACK
FDLL916	BLACK	RED
FDLL916A	BLACK	WHITE
FDLL916B	BROWN	BROWN
FDLL4148	BLACK	BROWN
FDLL4448	BROWN	BLACK

## Small Signal Diode

### Absolute Maximum Ratings\*

T<sub>A</sub> = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V <sub>RRM</sub>	Maximum Repetitive Reverse Voltage	100	V
I <sub>F(AV)</sub>	Average Rectified Forward Current	200	mA
I <sub>FSM</sub>	Non-repetitive Peak Forward Surge Current		
	Pulse Width = 1.0 second	1.0	A
	Pulse Width = 1.0 microsecond	4.0	A
T <sub>stg</sub>	Storage Temperature Range	-65 to +200	°C
T <sub>J</sub>	Operating Junction Temperature	175	°C

\*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

**NOTES:**

- 1) These ratings are based on a maximum junction temperature of 200 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

## Thermal Characteristics

Symbol	Characteristic	Max	Units
		1N/FDLL 914/A/B / 4148 / 4448	
P <sub>D</sub>	Power Dissipation	500	mW
R <sub>θJA</sub>	Thermal Resistance, Junction to Ambient	300	°C/W

1N/FDLL 914/A/B / 916/A/B / 4148 / 4448

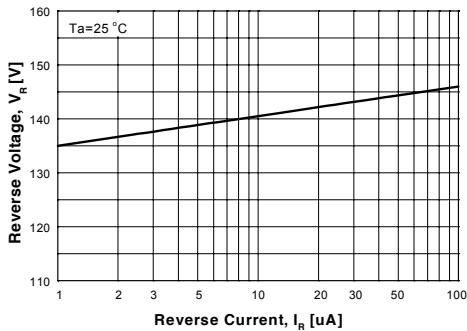
## Small Signal Diode (continued)

**1N/FD/L 914/A/B / 916/A/B / 4148 / 4448**

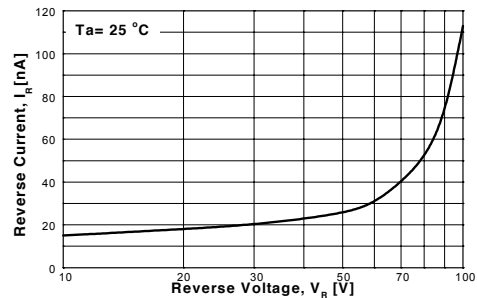
### Electrical Characteristics $T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units	
$V_R$	Breakdown Voltage	$I_R = 100 \mu\text{A}$ $I_R = 5.0 \mu\text{A}$	100 75		V V	
$V_F$	Forward Voltage	<b>1N914B/4448</b> <b>1N916B</b> <b>1N914/916/4148</b> <b>1N914A/916A</b> <b>1N916B</b> <b>1N914B/4448</b>	$I_F = 5.0 \text{ mA}$ $I_F = 5.0 \text{ mA}$ $I_F = 10 \text{ mA}$ $I_F = 20 \text{ mA}$ $I_F = 20 \text{ mA}$ $I_F = 100 \text{ mA}$	620 720 630 730 1.0 1.0 1.0 1.0	mV mV V V V V	
$I_R$	Reverse Current	$V_R = 20 \text{ V}$ $V_R = 20 \text{ V}, T_A = 150^\circ\text{C}$ $V_R = 75 \text{ V}$		25 50 5.0	nA $\mu\text{A}$ $\mu\text{A}$	
$C_T$	Total Capacitance	<b>1N916A/B/4448</b> <b>1N914A/B/4148</b>	$V_R = 0, f = 1.0 \text{ MHz}$ $V_R = 0, f = 1.0 \text{ MHz}$		2.0 4.0	pF pF
$t_{rr}$	Reverse Recovery Time	$I_F = 10 \text{ mA}, V_R = 6.0 \text{ V (60mA)}$ , $I_{rr} = 1.0 \text{ mA}, R_f = 100\Omega$		4.0	ns	

### Typical Characteristics

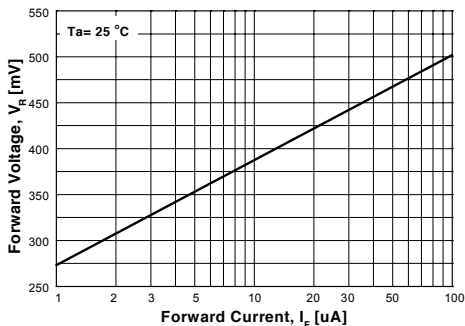


**Figure 1. Reverse Voltage vs Reverse Current**  
BV - 1.0 to 100  $\mu\text{A}$

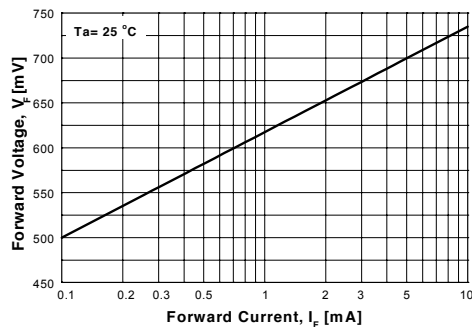


**Figure 2. Reverse Current vs Reverse Voltage**  
IR - 10 to 100 V

GENERAL RULE: The Reverse Current of a diode will approximately double for every ten (10) Degree C increase in Temperature



**Figure 3. Forward Voltage vs Forward Current**  
VF - 1 to 100  $\mu\text{A}$



**Figure 4. Forward Voltage vs Forward Current**  
VF - 0.1 to 10 mA

Typical Characteristics (continued)

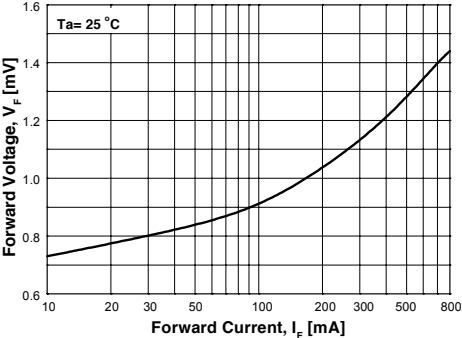


Figure 5. Forward Voltage vs Forward Current  
VF - 10 to 800 mA

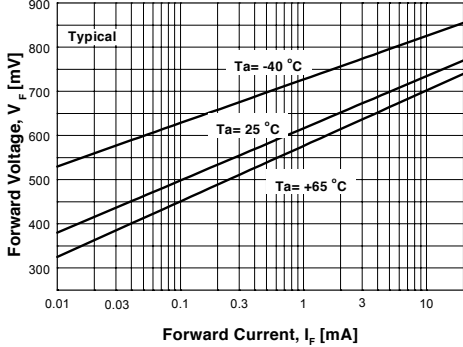


Figure 6. Forward Voltage  
vs Ambient Temperature  
VF - 0.01 - 20 mA (-40 to +65 Deg C)

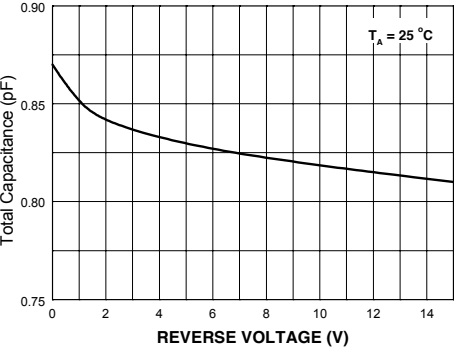


Figure 7. Total Capacitance

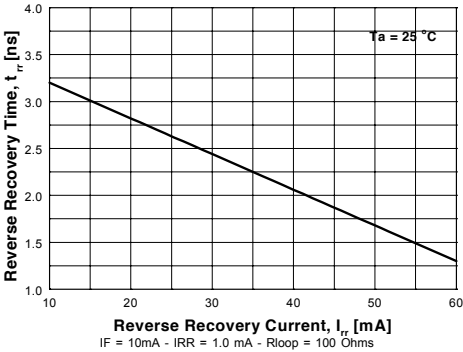


Figure 8. Reverse Recovery Time vs  
Reverse Recovery Current

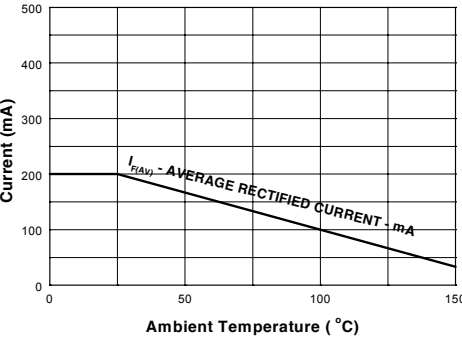


Figure 9. Average Rectified Current ( $I_{F(AV)}$ )  
versus Ambient Temperature ( $T_A$ )

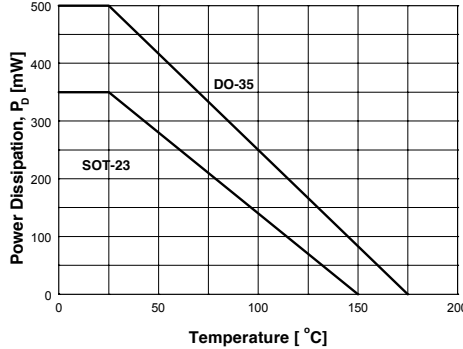


Figure 10. Power Derating Curve



# μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

- Short-Circuit Protection
- Offset-Voltage Null Capability
- Large Common-Mode and Differential Voltage Ranges
- No Frequency Compensation Required
- Low Power Consumption
- No Latch-Up
- Designed to Be Interchangeable With Fairchild μA741

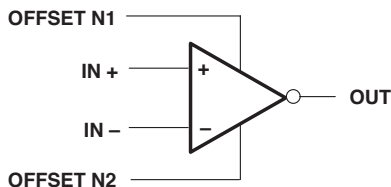
## description

The μA741 is a general-purpose operational amplifier featuring offset-voltage null capability.

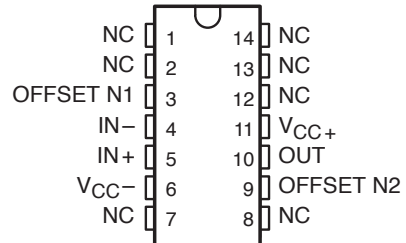
The high common-mode input voltage range and the absence of latch-up make the amplifier ideal for voltage-follower applications. The device is short-circuit protected and the internal frequency compensation ensures stability without external components. A low value potentiometer may be connected between the offset null inputs to null out the offset voltage as shown in Figure 2.

The μA741C is characterized for operation from 0°C to 70°C. The μA741I is characterized for operation from -40°C to 85°C. The μA741M is characterized for operation over the full military temperature range of -55°C to 125°C.

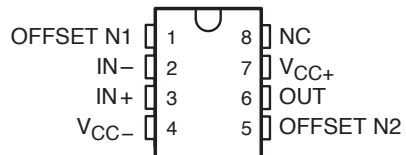
## symbol



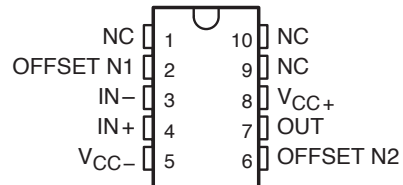
μA741M . . . J PACKAGE  
(TOP VIEW)



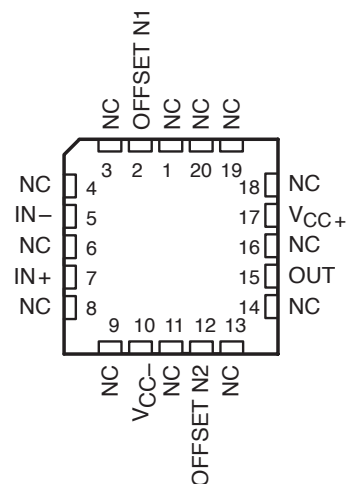
μA741M . . . JG PACKAGE  
μA741C, μA741I . . . D, P, OR PW PACKAGE  
(TOP VIEW)



μA741M . . . U PACKAGE  
(TOP VIEW)



μA741M . . . FK PACKAGE  
(TOP VIEW)



NC – No internal connection

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

73

**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2000, Texas Instruments Incorporated

1

# $\mu$ A741, $\mu$ A741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

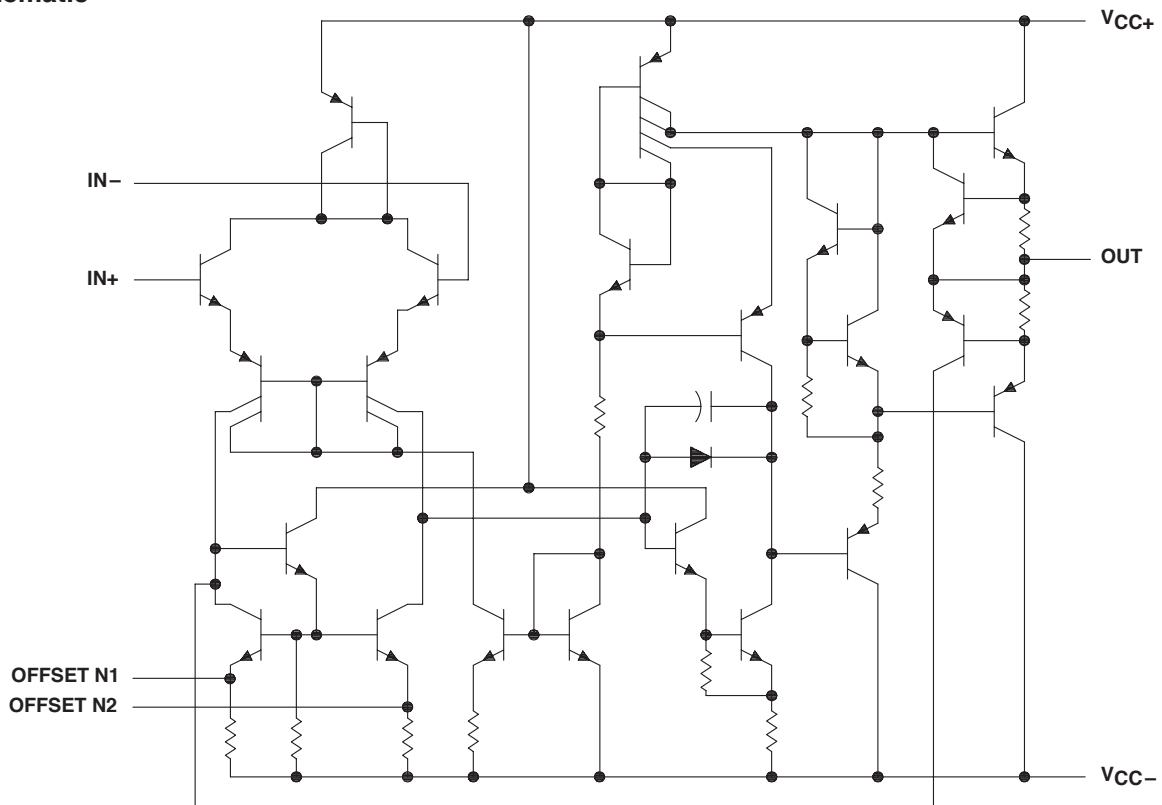
SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

## AVAILABLE OPTIONS

T <sub>A</sub>	PACKAGED DEVICES							CHIP FORM (Y)
	SMALL OUTLINE (D)	CHIP CARRIER (FK)	CERAMIC DIP (J)	CERAMIC DIP (JG)	PLASTIC DIP (P)	TSSOP (PW)	FLAT PACK (U)	
0°C to 70°C	$\mu$ A741CD				$\mu$ A741CP	$\mu$ A741CPW		$\mu$ A741Y
-40°C to 85°C	$\mu$ A741ID				$\mu$ A741IP			
-55°C to 125°C		$\mu$ A741MFK	$\mu$ A741MJ	$\mu$ A741MJG			$\mu$ A741MU	

The D package is available taped and reeled. Add the suffix R (e.g.,  $\mu$ A741CDR).

## schematic



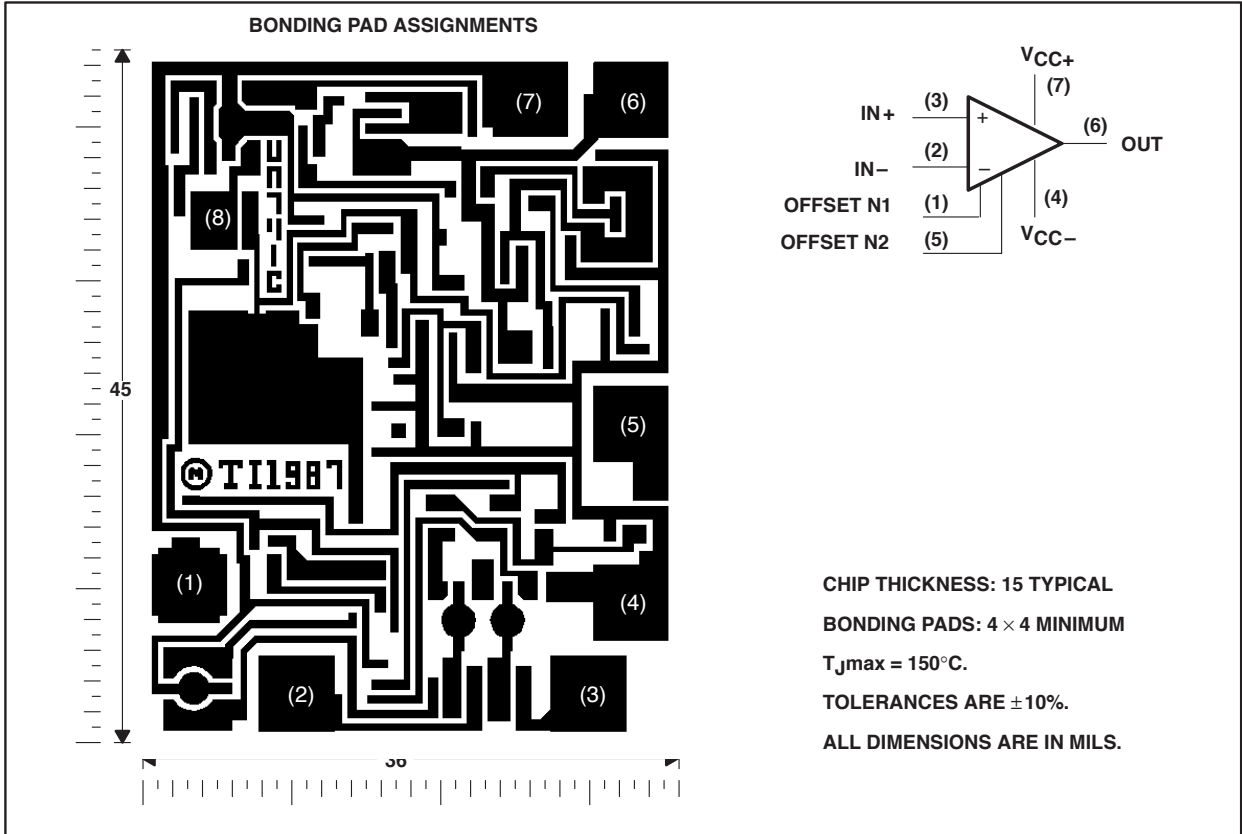
Component Count	
Transistors	22
Resistors	11
Diode	1
Capacitor	1

# μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

## μA741Y chip information

This chip, when properly assembled, displays characteristics similar to the μA741C. Thermal compression or ultrasonic bonding may be used on the doped-aluminum bonding pads. Chips may be mounted with conductive epoxy or a gold-silicon preform.



# μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

	μA741C	μA741I	μA741M	UNIT
Supply voltage, $V_{CC+}$ (see Note 1)	18	22	22	V
Supply voltage, $V_{CC-}$ (see Note 1)	-18	-22	-22	V
Differential input voltage, $V_{ID}$ (see Note 2)	±15	±30	±30	V
Input voltage, $V_I$ any input (see Notes 1 and 3)	±15	±15	±15	V
Voltage between offset null (either OFFSET N1 or OFFSET N2) and $V_{CC-}$	±15	±0.5	±0.5	V
Duration of output short circuit (see Note 4)	unlimited	unlimited	unlimited	
Continuous total power dissipation	See Dissipation Rating Table			
Operating free-air temperature range, $T_A$	0 to 70	-40 to 85	-55 to 125	°C
Storage temperature range	-65 to 150	-65 to 150	-65 to 150	°C
Case temperature for 60 seconds	FK package			260
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J, JG, or U package			300
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, P, or PW package			260

† Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltage values, unless otherwise noted, are with respect to the midpoint between  $V_{CC+}$  and  $V_{CC-}$ .

2. Differential voltages are at  $IN+$  with respect to  $IN-$ .

3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.

4. The output may be shorted to ground or either power supply. For the μA741M only, the unlimited duration of the short circuit applies at (or below) 125°C case temperature or 75°C free-air temperature.

DISSIPATION RATING TABLE

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR	DERATE ABOVE $T_A$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D	500 mW	5.8 mW/°C	64°C	464 mW	377 mW	N/A
FK	500 mW	11.0 mW/°C	105°C	500 mW	500 mW	275 mW
J	500 mW	11.0 mW/°C	105°C	500 mW	500 mW	275 mW
JG	500 mW	8.4 mW/°C	90°C	500 mW	500 mW	210 mW
P	500 mW	N/A	N/A	500 mW	500 mW	N/A
PW	525 mW	4.2 mW/°C	25°C	336 mW	N/A	N/A
U	500 mW	5.4 mW/°C	57°C	432 mW	351 mW	135 mW

# μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

**electrical characteristics at specified free-air temperature,  $V_{CC\pm} = \pm 15$  V (unless otherwise noted)**

PARAMETER	TEST CONDITIONS	$T_A$ †	μA741C			μA741I, μA741M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$V_{IO}$ Input offset voltage	$V_O = 0$	25°C		1	6		1	5	mV
		Full range			7.5			6	
$\Delta V_{IO(adj)}$ Offset voltage adjust range	$V_O = 0$	25°C		±15			±15		mV
$I_{IO}$ Input offset current	$V_O = 0$	25°C		20	200		20	200	nA
		Full range			300			500	
$I_{IB}$ Input bias current	$V_O = 0$	25°C		80	500		80	500	nA
		Full range			800			1500	
$V_{ICR}$ Common-mode input voltage range		25°C		±12	±13		±12	±13	V
		Full range		±12			±12		
$V_{OM}$ Maximum peak output voltage swing	$R_L = 10$ kΩ	25°C		±12	±14		±12	±14	V
	$R_L \geq 10$ kΩ	Full range		±12			±12		
	$R_L = 2$ kΩ	25°C		±10	±13		±10	±13	
	$R_L \geq 2$ kΩ	Full range		±10			±10		
$A_{VD}$ Large-signal differential voltage amplification	$R_L \geq 2$ kΩ	25°C		20	200		50	200	V/mV
	$V_O = \pm 10$ V	Full range		15			25		
$r_i$ Input resistance		25°C		0.3	2		0.3	2	MΩ
$r_o$ Output resistance	$V_O = 0$ , See Note 5	25°C			75			75	Ω
$C_i$ Input capacitance		25°C			1.4			1.4	pF
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$	25°C		70	90		70	90	dB
		Full range		70			70		
$k_{SVS}$ Supply voltage sensitivity ( $\Delta V_{IO}/\Delta V_{CC}$ )	$V_{CC} = \pm 9$ V to $\pm 15$ V	25°C		30	150		30	150	μV/V
		Full range			150			150	
$I_{OS}$ Short-circuit output current		25°C		±25	±40		±25	±40	mA
$I_{CC}$ Supply current	$V_O = 0$ , No load	25°C		1.7	2.8		1.7	2.8	mA
		Full range			3.3			3.3	
$P_D$ Total power dissipation	$V_O = 0$ , No load	25°C		50	85		50	85	mW
		Full range			100			100	

† All characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified. Full range for the μA741C is 0°C to 70°C, the μA741I is -40°C to 85°C, and the μA741M is -55°C to 125°C.

NOTE 5: This typical value applies only at frequencies above a few hundred hertz because of the effects of drift and thermal feedback.

**operating characteristics,  $V_{CC\pm} = \pm 15$  V,  $T_A = 25^\circ$ C**

PARAMETER	TEST CONDITIONS	μA741C			μA741I, μA741M			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
$t_r$ Rise time	$V_I = 20$ mV, $R_L = 2$ kΩ, $C_L = 100$ pF, See Figure 1		0.3			0.3		μs
Overshoot factor				5%			5%	
SR Slew rate at unity gain	$V_I = 10$ V, $C_L = 100$ pF, See Figure 1		0.5			0.5		V/μs

# μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

electrical characteristics at specified free-air temperature,  $V_{CC\pm} = \pm 15\text{ V}$ ,  $T_A = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	μA741Y			UNIT
		MIN	TYP	MAX	
$V_{IO}$ Input offset voltage	$V_O = 0$		1	6	mV
$\Delta V_{IO(\text{adj})}$ Offset voltage adjust range	$V_O = 0$		±15		mV
$I_{IO}$ Input offset current	$V_O = 0$		20	200	nA
$I_{IB}$ Input bias current	$V_O = 0$		80	500	nA
$V_{ICR}$ Common-mode input voltage range		±12	±13		V
$V_{OM}$ Maximum peak output voltage swing	$R_L = 10\text{ k}\Omega$	±12	±14		V
	$R_L = 2\text{ k}\Omega$	±10	±13		
$A_{VD}$ Large-signal differential voltage amplification	$R_L \geq 2\text{ k}\Omega$	20	200		V/mV
$r_i$ Input resistance		0.3	2		MΩ
$r_o$ Output resistance	$V_O = 0$ , See Note 5		75		Ω
$C_i$ Input capacitance			1.4		pF
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICR\text{min}}$	70	90		dB
$k_{SVS}$ Supply voltage sensitivity ( $\Delta V_{IO}/\Delta V_{CC}$ )	$V_{CC} = \pm 9\text{ V to } \pm 15\text{ V}$		30	150	μV/V
$I_{OS}$ Short-circuit output current			±25	±40	mA
$I_{CC}$ Supply current	$V_O = 0$ , No load		1.7	2.8	mA
$P_D$ Total power dissipation	$V_O = 0$ , No load		50	85	mW

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified.

NOTE 5: This typical value applies only at frequencies above a few hundred hertz because of the effects of drift and thermal feedback.

## operating characteristics, $V_{CC\pm} = \pm 15\text{ V}$ , $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	μA741Y			UNIT
		MIN	TYP	MAX	
$t_r$ Rise time	$V_I = 20\text{ mV}$ , $R_L = 2\text{ k}\Omega$ , $C_L = 100\text{ pF}$ , See Figure 1		0.3		μs
Overshoot factor			5%		
SR Slew rate at unity gain	$V_I = 10\text{ V}$ , $R_L = 2\text{ k}\Omega$ , $C_L = 100\text{ pF}$ , See Figure 1		0.5		V/μs

**PARAMETER MEASUREMENT INFORMATION**

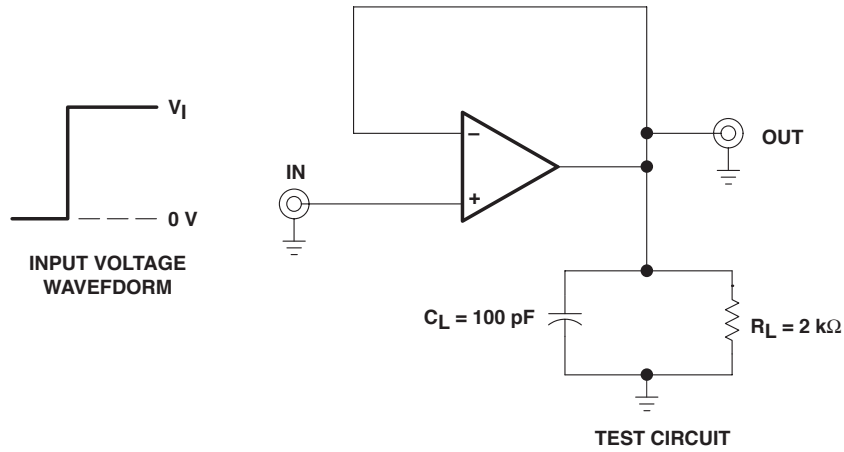


Figure 1. Rise Time, Overshoot, and Slew Rate

**APPLICATION INFORMATION**

Figure 2 shows a diagram for an input offset voltage null circuit.

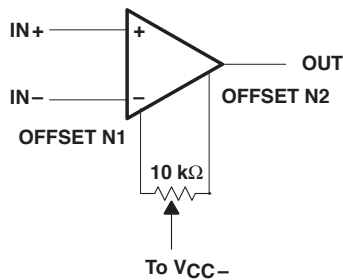
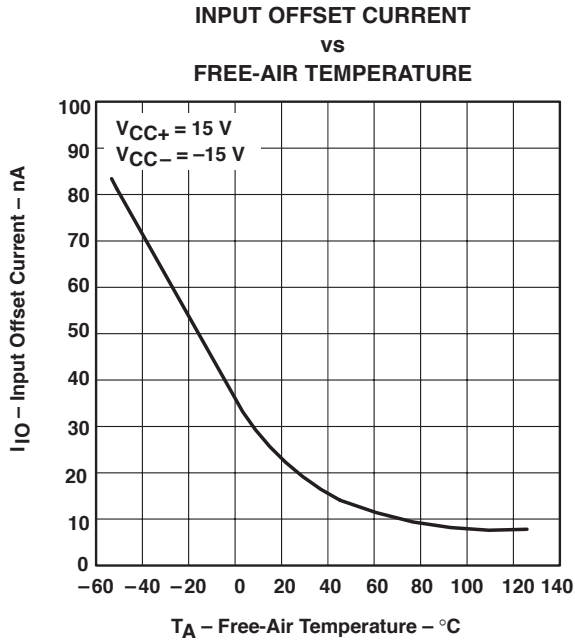


Figure 2. Input Offset Voltage Null Circuit

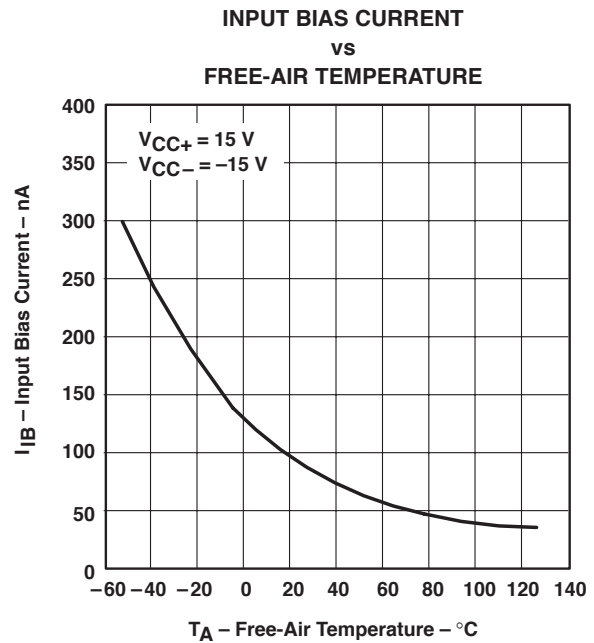
**μA741, μA741Y**  
**GENERAL-PURPOSE OPERATIONAL AMPLIFIERS**

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

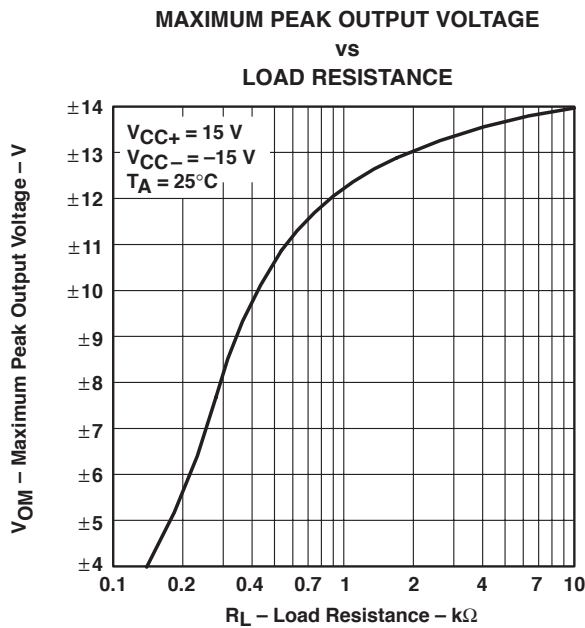
**TYPICAL CHARACTERISTICS†**



**Figure 3**



**Figure 4**



**Figure 5**

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.



**μA741, μA741Y**  
**GENERAL-PURPOSE OPERATIONAL AMPLIFIERS**

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

**TYPICAL CHARACTERISTICS**

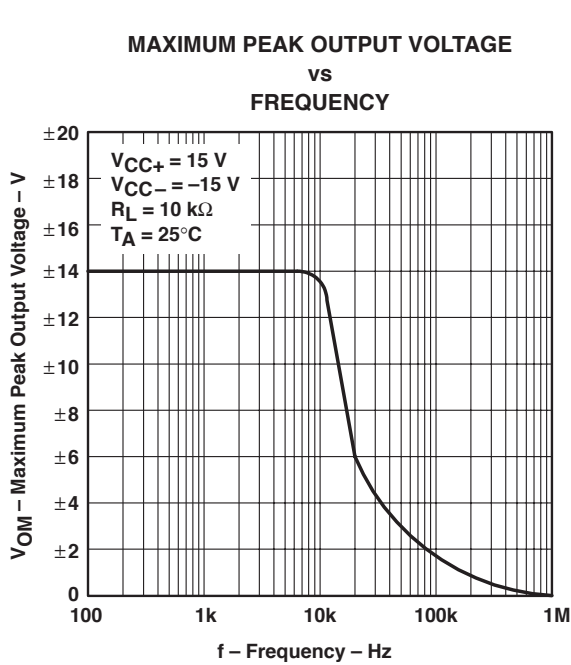


Figure 6

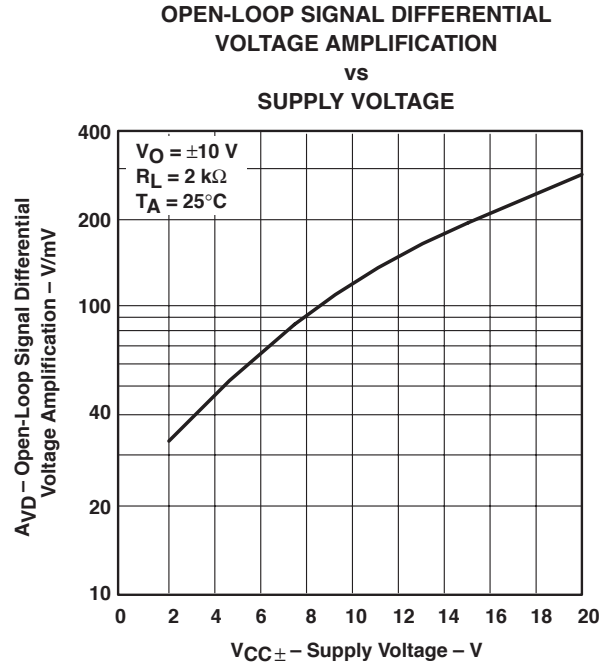
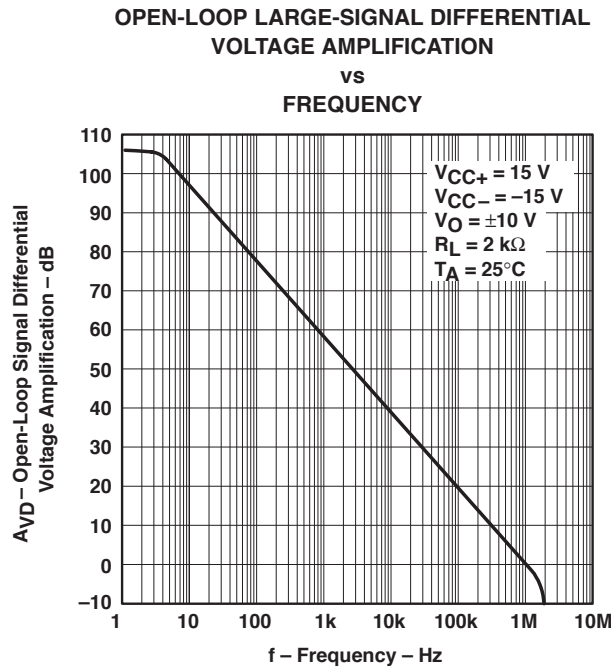


Figure 7

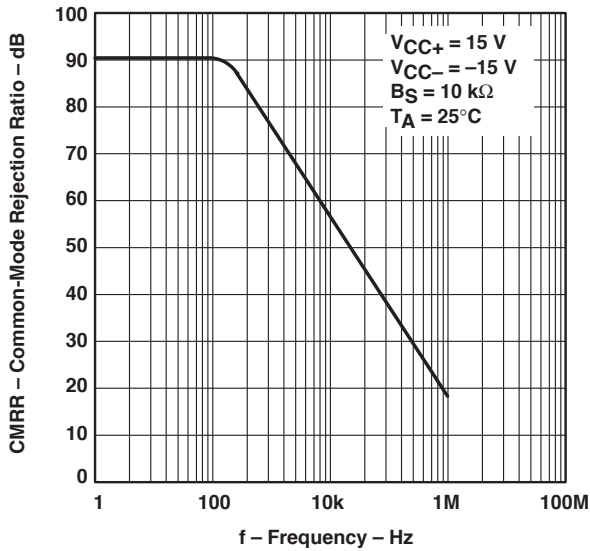


**μA741, μA741Y**  
**GENERAL-PURPOSE OPERATIONAL AMPLIFIERS**

SLOS094B – NOVEMBER 1970 – REVISED SEPTEMBER 2000

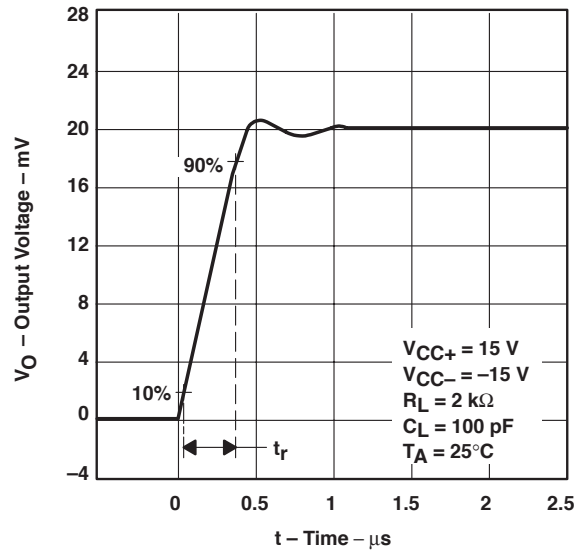
**TYPICAL CHARACTERISTICS**

**COMMON-MODE REJECTION RATIO  
 vs  
 FREQUENCY**



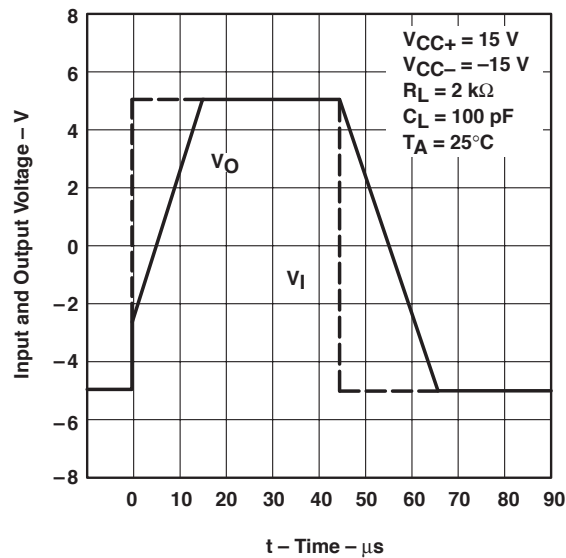
**Figure 8**

**OUTPUT VOLTAGE  
 vs  
 ELAPSED TIME**



**Figure 9**

**VOLTAGE-FOLLOWER  
 LARGE-SIGNAL PULSE RESPONSE**



**Figure 10**



## N-Channel JFETs

PRODUCT SUMMARY				
Part Number	$V_{GS(off)}$ (V)	$V_{(BR)GSS}$ Min (V)	$g_{fs}$ Min (mS)	$I_{DSS}$ Min (mA)
2N4416	$-\leq 6$	-30	4.5	5
2N4416A	-2.5 to -6	-35	4.5	5
SST4416	$-\leq 6$	-30	4.5	5

### FEATURES

- Excellent High-Frequency Gain: 2N4416/A, Gps 13 dB (typ) @ 400 MHz
- Very Low Noise: 3 dB (typ) @ 400 MHz
- Very Low Distortion
- High AC/DC Switch Off-Isolation

### BENEFITS

- Wideband High Gain
- Very High System Sensitivity
- High Quality of Amplification
- High-Speed Switching Capability
- High Low-Level Signal Amplification

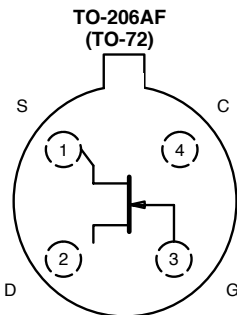
### APPLICATIONS

- High-Frequency Amplifier/Mixer
- Oscillator
- Sample-and-Hold
- Very Low Capacitance Switches

### DESCRIPTION

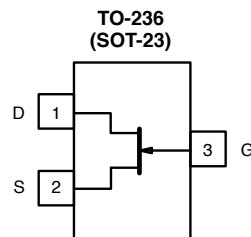
The 2N4416/2N4416A/SST4416 n-channel JFETs are designed to provide high-performance amplification at high frequencies.

The TO-206AF (TO-72) hermetically-sealed package is available with full military processing (see Military Information.) The TO-236 (SOT-23) package provides a low-cost option and is available with tape-and-reel options (see Packaging Information). For similar products in the TO-226AA (TO-92) package, see the J304/305 data sheet.



Top View

2N4416  
2N4416A



Top View

SST4416 (H1)\*

\*Marking Code for TO-236

For applications information see AN104.

# 2N4416/2N4416A/SST4416

Vishay Siliconix



## ABSOLUTE MAXIMUM RATINGS

Gate-Drain, Gate-Source Voltage :  
 (2N/SST4416) ..... -30 V  
 (2N4416A) ..... -35 V  
 Gate Current ..... 10 mA  
 Lead Temperature ..... 300 °C  
 Storage Temperature :  
 (2N Prefix) ..... -65 to 200 °C  
 (SST Prefix) ..... -65 to 150 °C

Operating Junction Temperature ..... -55 to 150 °C  
 Power Dissipation :  
 (2N Prefix)<sup>a</sup> ..... 300 mW  
 (SST Prefix)<sup>b</sup> ..... 350 mW

Notes  
 a. Derate 2.4 mW/°C above 25 °C  
 b. Derate 2.8 mW/°C above 25 °C

SPECIFICATIONS (T <sub>A</sub> = 25 °C UNLESS NOTED)										
Parameter	Symbol	Test Conditions	Typ <sup>a</sup>	Limits						Unit
				2N4416		2N4416A		SST4416		
				Min	Max	Min	Max	Min	Max	
<b>Static</b>										
Gate-Source Breakdown Voltage	V <sub>(BR)GSS</sub>	I <sub>G</sub> = -1 μA, V <sub>DS</sub> = 0 V	-36	-30		-35		-30		V
Gate-Source Cutoff Voltage	V <sub>GS(off)</sub>	V <sub>DS</sub> = 15 V, I <sub>D</sub> = 1 nA	-3		-6	-2.5	-6		-6	
Saturation Drain Current <sup>b</sup>	I <sub>DSS</sub>	V <sub>DS</sub> = 15 V, V <sub>GS</sub> = 0 V	10	5	15	5	15	5	15	mA
Gate Reverse Current	I <sub>GSS</sub>	V <sub>GS</sub> = -20 V, V <sub>DS</sub> = 0 V (2N)	-2		-100		-100			pA
		T <sub>A</sub> = 150 °C	-4		-100		-100			
		V <sub>GS</sub> = -15 V, V <sub>DS</sub> = 0 V (SST)	-0.002						-1	nA
T <sub>A</sub> = 125 °C	-0.6									
Gate Operating Current	I <sub>G</sub>	V <sub>DG</sub> = 10 V, I <sub>D</sub> = 1 mA	-20							pA
Drain Cutoff Current <sup>c</sup>	I <sub>D(off)</sub>	V <sub>DS</sub> = 10 V, V <sub>GS</sub> = -6 V	2							
Drain-Source On-Resistance <sup>c</sup>	r <sub>DS(on)</sub>	V <sub>GS</sub> = 0 V, I <sub>D</sub> = 1 mA	150							Ω
Gate-Source Forward Voltage <sup>c</sup>	V <sub>GS(F)</sub>	I <sub>G</sub> = 1 mA, V <sub>DS</sub> = 0 V	0.7							V
<b>Dynamic</b>										
Common-Source Forward Transconductance <sup>b</sup>	g <sub>fs</sub>	V <sub>DS</sub> = 15 V, V <sub>GS</sub> = 0 V f = 1 kHz	6	4.5	7.5	4.5	7.5	4.5	7.5	mS
Common-Source Output Conductance <sup>b</sup>	g <sub>os</sub>		15		50		50		50	μS
Common-Source Input Capacitance	C <sub>iss</sub>	V <sub>DS</sub> = 15 V, V <sub>GS</sub> = 0 V f = 1 MHz	2.2		4		4			pF
Common-Source Reverse Transfer Capacitance	C <sub>rss</sub>		0.7		0.8		0.8			
Common-Source Output Capacitance	C <sub>oss</sub>		1		2		2			
Equivalent Input Noise Voltage <sup>c</sup>	e <sub>n</sub>	V <sub>DS</sub> = 10 V, V <sub>GS</sub> = 0 V f = 1 kHz	6							nV/ √Hz



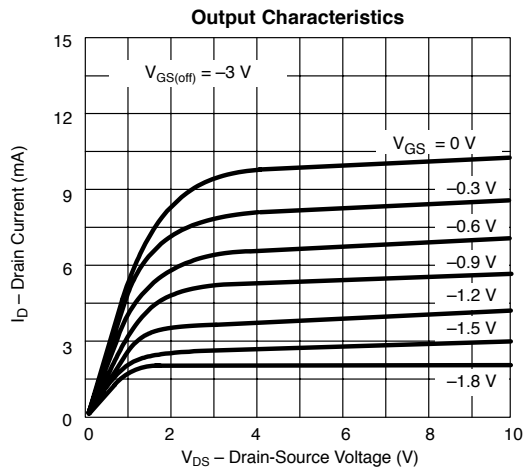
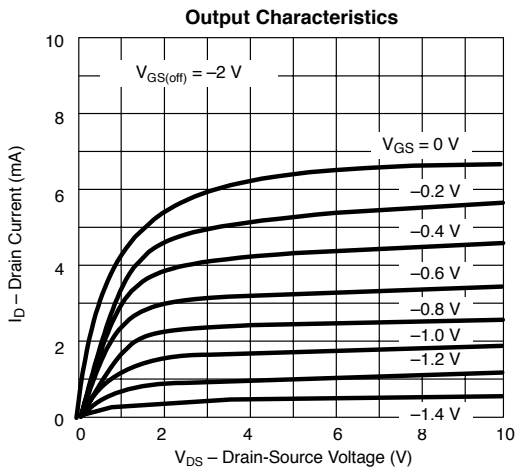
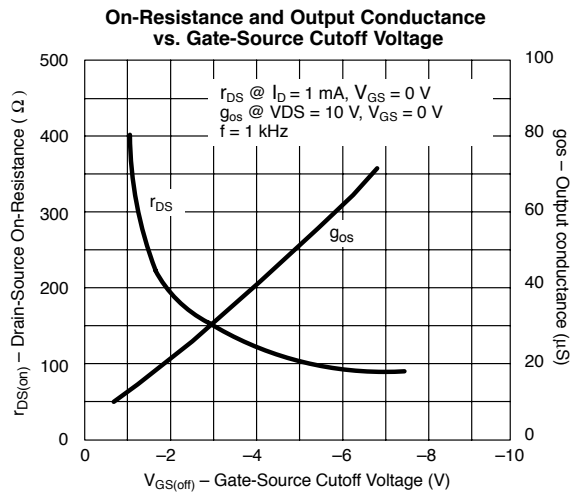
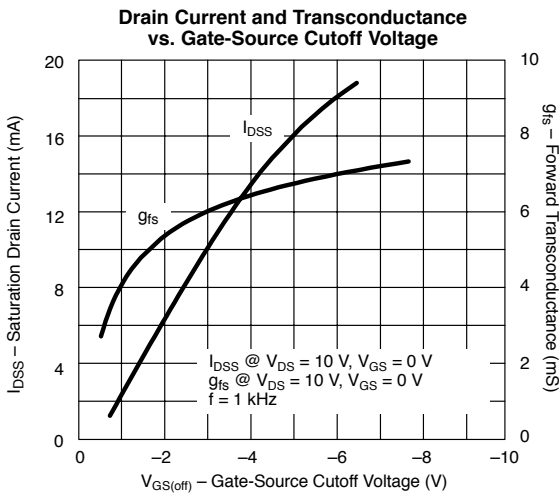
HIGH-FREQUENCY SPECIFICATIONS FOR 2N4416/2N4416A (T <sub>A</sub> = 25 °C UNLESS NOTED)							
Parameter	Symbol	Test Conditions	Limits				Unit
			100 MHz		400 MHz		
			Min	Max	Min	Max	
Common Source Input Conductance	$g_{iss}$	$V_{DS} = 15\text{ V}, V_{GS} = 0\text{ V}$		100		1,000	$\mu\text{S}$
Common Source Input Susceptance	$b_{iss}$			2,500		10,000	
Common Source Output Conductance	$g_{oss}$			75		100	
Common Source Output Susceptance	$b_{oss}$			1,000		4,000	
Common Source Forward Transconductance	$g_{fs}$				4,000		
Common-Source Power Gain	$G_{ps}$	$V_{DS} = 15\text{ V}, I_D = 5\text{ mA}$	18		10		dB
Noise Figure	NF	$R_G = 1\text{ k}\Omega$		2		4	

Notes

- a. Typical values are for DESIGN AID ONLY, not guaranteed nor subject to production testing.
- b. Pulse test: PW  $\leq$  300  $\mu\text{s}$  duty cycle  $\leq$  3%.
- c. This parameter not registered with JEDEC.

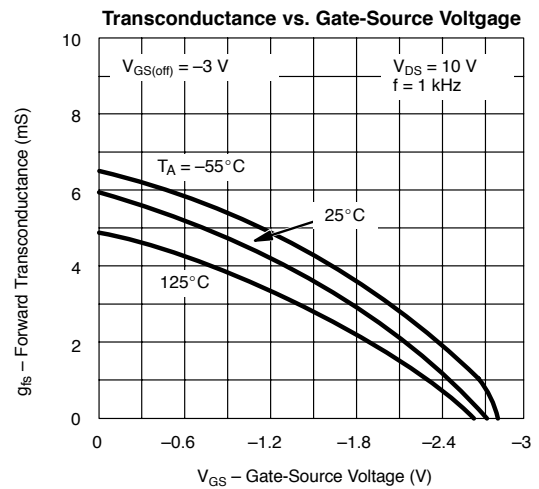
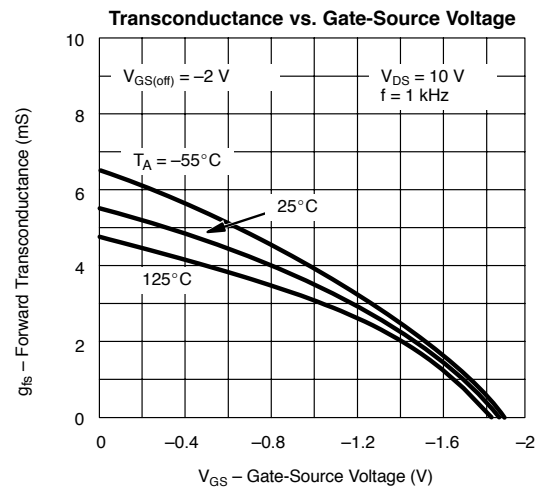
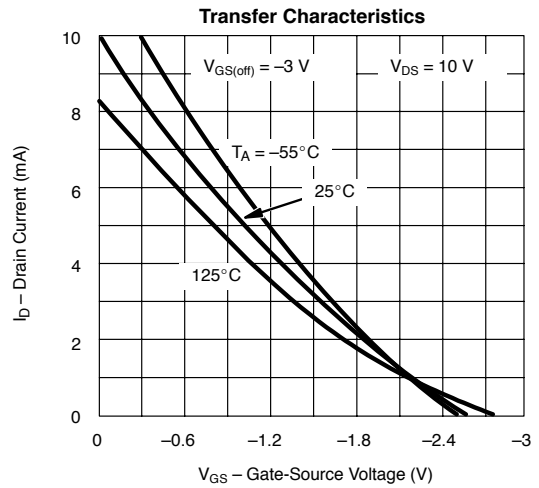
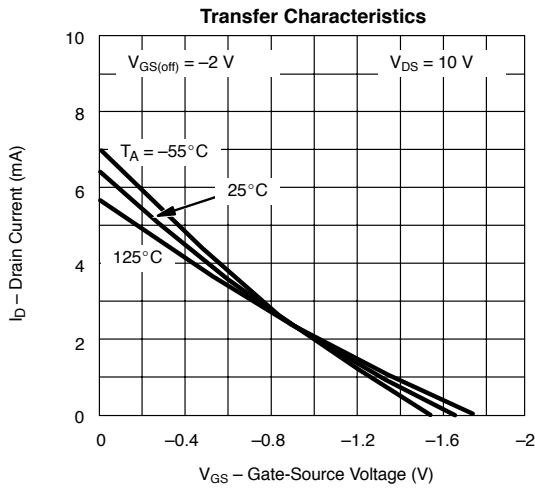
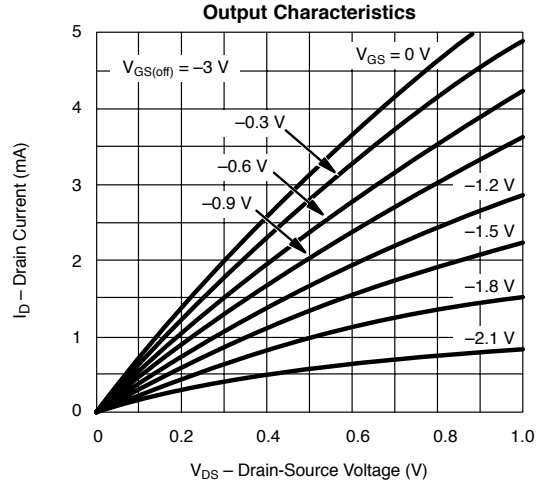
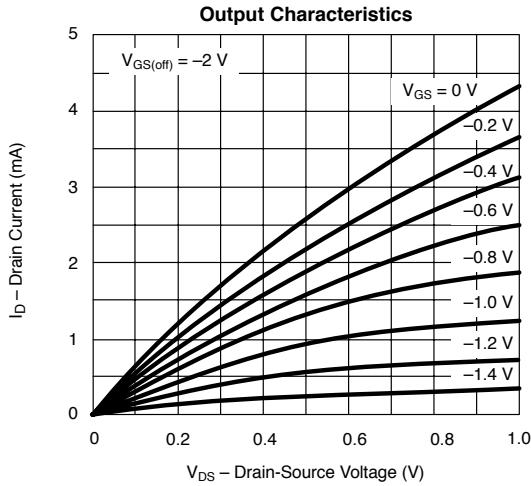
NH

**TYPICAL CHARACTERISTICS (T<sub>A</sub> = 25 °C UNLESS OTHERWISE NOTED)**



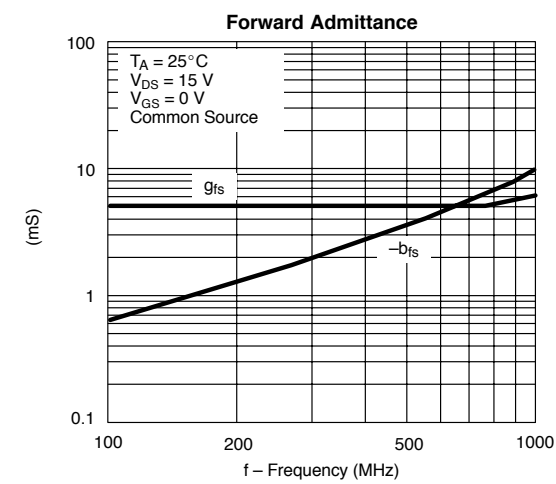
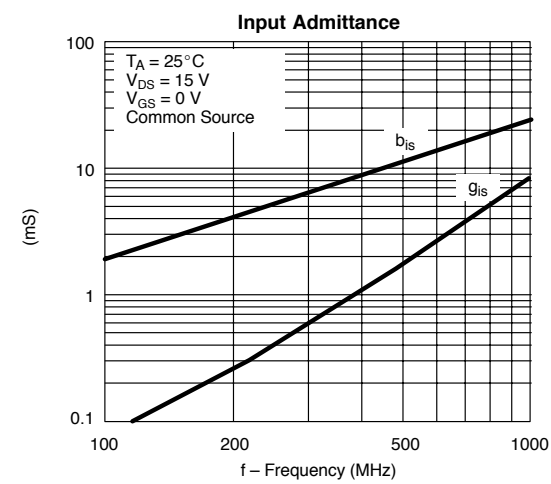
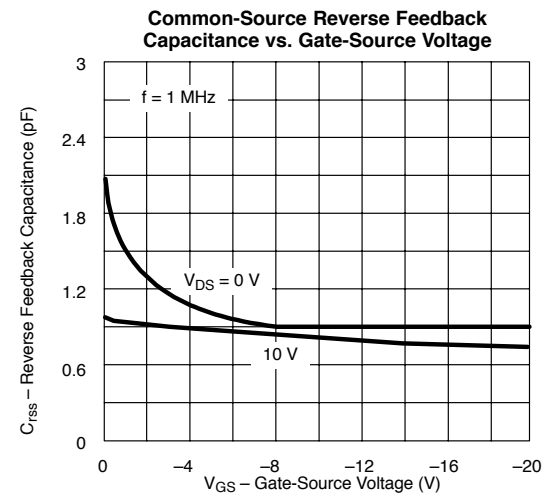
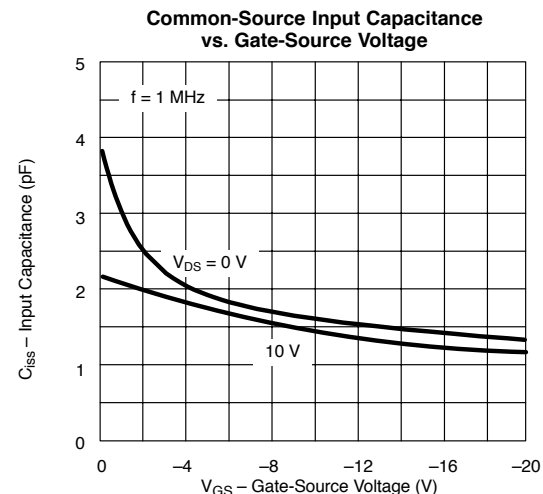
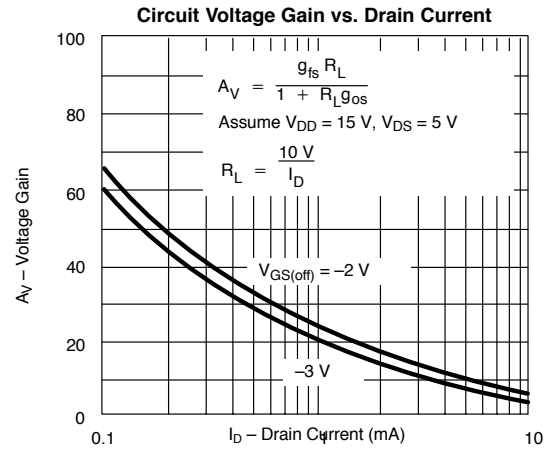
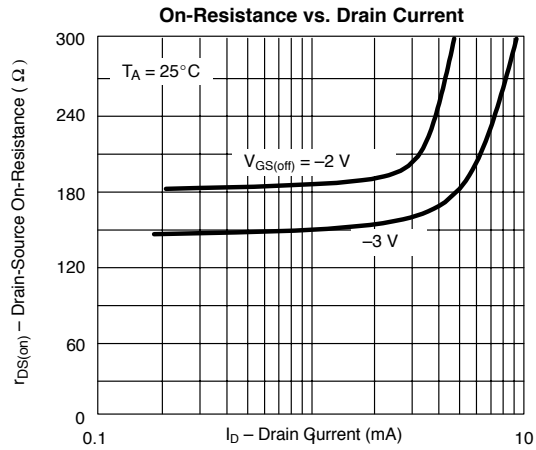


**TYPICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  UNLESS OTHERWISE NOTED)**



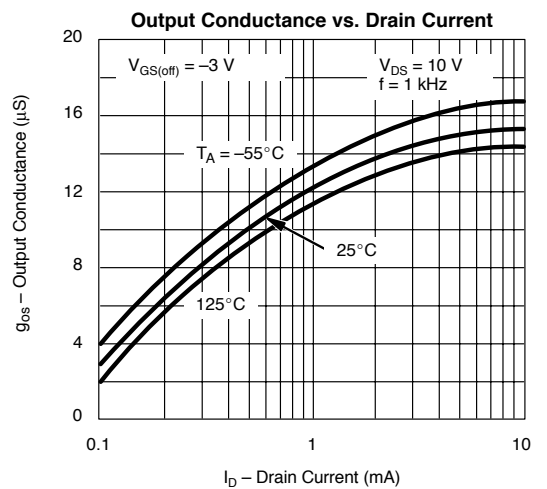
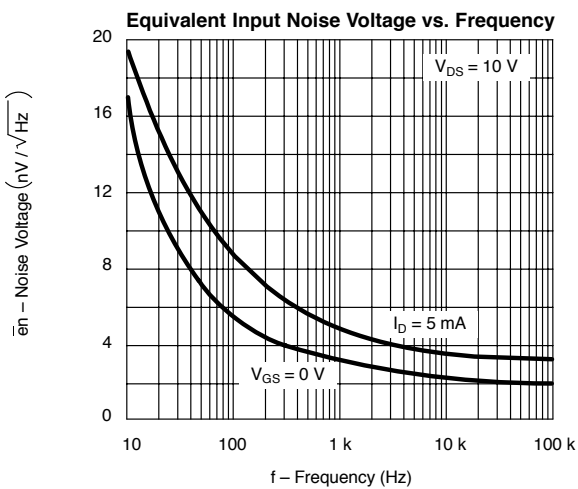
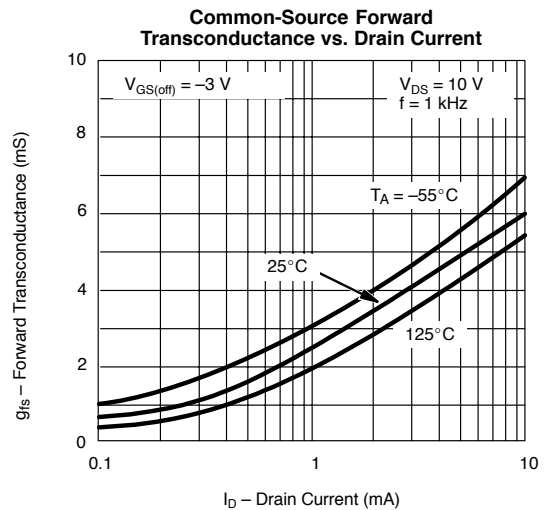
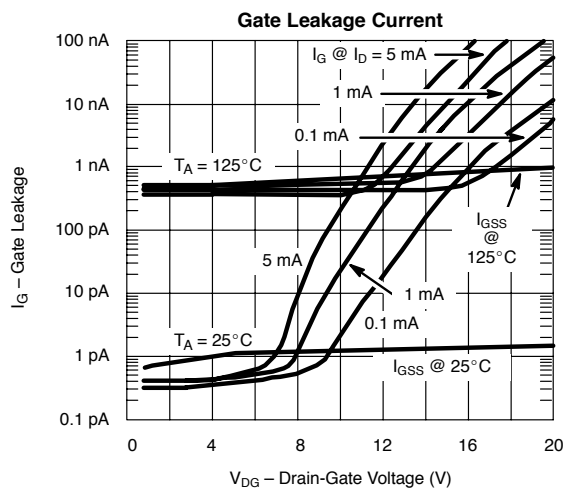
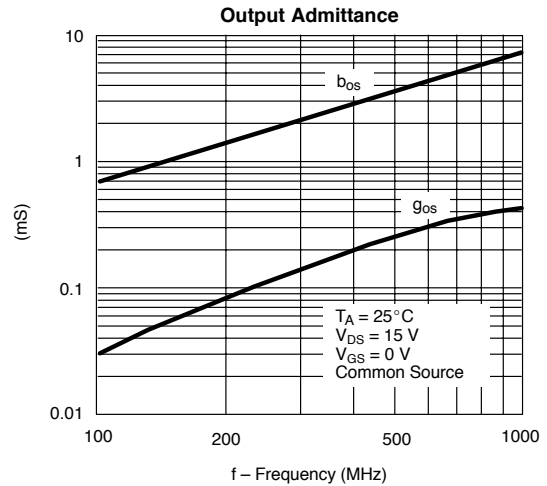
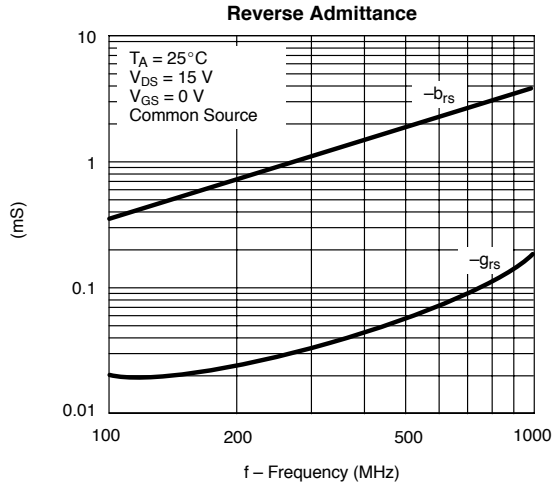


**TYPICAL CHARACTERISTICS (T<sub>A</sub> = 25°C UNLESS OTHERWISE NOTED)**





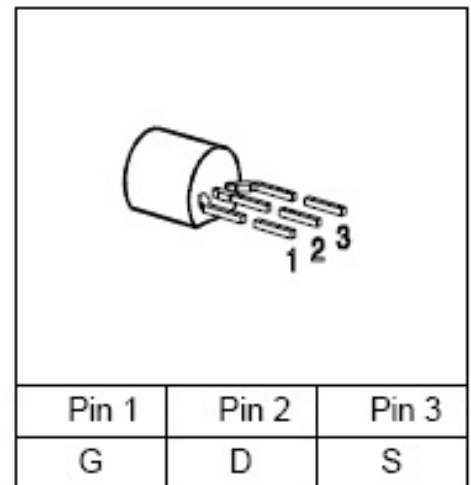
**TYPICAL CHARACTERISTICS (T<sub>A</sub> = 25 °C UNLESS OTHERWISE NOTED)**





### SIPMOS® Small-Signal Transistor

- N channel
- Enhancement mode
- $V_{GS(th)} = 1.5 \dots 2.5 \text{ V}$



Type	$V_{DS}$	$I_D$	$R_{DS(on)}$	Package	Marking
BSS 125	600 V	0.1 A	45 $\Omega$	TO-92	SS125

Type	Ordering Code	Tape and Reel Information
BSS 125	Q62702-S021	E6288
BSS 125	Q67000-S008	E6296
BSS 125	Q67000-S233	E6325

### Maximum Ratings

Parameter	Symbol	Values	Unit
Drain source voltage	$V_{DS}$	600	V
Drain-gate voltage $R_{GS} = 20 \text{ k}\Omega$	$V_{DGR}$	600	
Gate source voltage	$V_{GS}$	$\pm 14$	
Gate-source peak voltage, aperiodic	$V_{gs}$	$\pm 20$	
Continuous drain current $T_A = 35 \text{ }^\circ\text{C}$	$I_D$	0.1	A
DC drain current, pulsed $T_A = 25 \text{ }^\circ\text{C}$	$I_{Dpuls}$	0.4	
Power dissipation $T_A = 25 \text{ }^\circ\text{C}$	$P_{tot}$	1	W

## Maximum Ratings

Parameter	Symbol	Values	Unit
Chip or operating temperature	$T_j$	-55 ... + 150	°C
Storage temperature	$T_{stg}$	-55 ... + 150	
Thermal resistance, chip to ambient air <sup>1)</sup>	$R_{thJA}$	≤ 125	K/W
DIN humidity category, DIN 40 040		E	
IEC climatic category, DIN IEC 68-1		55 / 150 / 56	

## Electrical Characteristics, at $T_j = 25^\circ\text{C}$ , unless otherwise specified

Parameter	Symbol	Values			Unit
		min.	typ.	max.	

## Static Characteristics

Drain- source breakdown voltage $V_{GS} = 0\text{ V}$ , $I_D = 0.25\text{ mA}$ , $T_j = 25^\circ\text{C}$	$V_{(BR)DSS}$	600	-	-	V
Gate threshold voltage $V_{GS} = V_{DS}$ , $I_D = 1\text{ mA}$	$V_{GS(th)}$	1.5	2	2.5	
Zero gate voltage drain current $V_{DS} = 600\text{ V}$ , $V_{GS} = 0\text{ V}$ , $T_j = 25^\circ\text{C}$	$I_{DSS}$	-	10	100	nA
$V_{DS} = 600\text{ V}$ , $V_{GS} = 0\text{ V}$ , $T_j = 125^\circ\text{C}$		-	8	50	μA
Gate-source leakage current $V_{GS} = 20\text{ V}$ , $V_{DS} = 0\text{ V}$	$I_{GSS}$	-	10	100	nA
Drain-Source on-state resistance $V_{GS} = 10\text{ V}$ , $I_D = 0.1\text{ A}$	$R_{DS(on)}$	-	30	45	Ω

### Electrical Characteristics, at $T_j = 25^\circ\text{C}$ , unless otherwise specified

Parameter	Symbol	Values			Unit
		min.	typ.	max.	

### Dynamic Characteristics

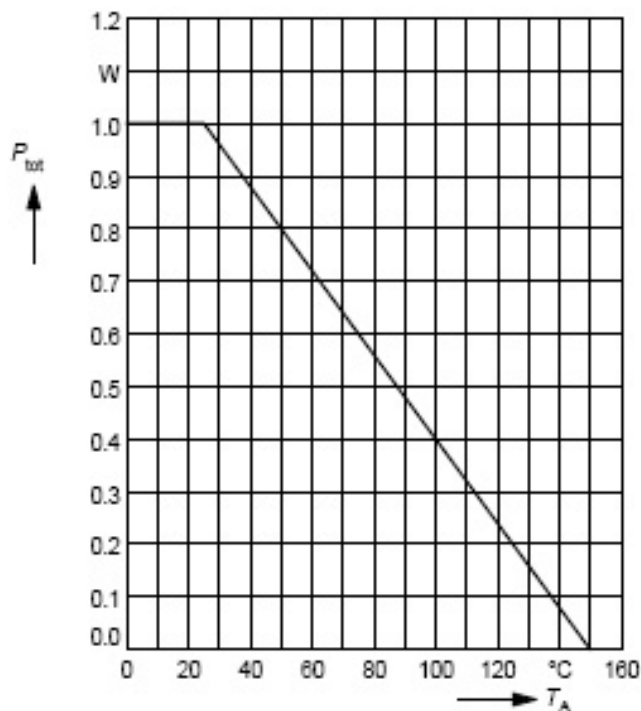
Transconductance $V_{DS} \geq 2 \cdot I_D \cdot R_{DS(on)max}, I_D = 0.1 \text{ A}$	$g_{fs}$	0.06	0.17	-	S
Input capacitance $V_{GS} = 0 \text{ V}, V_{DS} = 25 \text{ V}, f = 1 \text{ MHz}$	$C_{iss}$	-	95	130	pF
Output capacitance $V_{GS} = 0 \text{ V}, V_{DS} = 25 \text{ V}, f = 1 \text{ MHz}$	$C_{oss}$	-	9	14	
Reverse transfer capacitance $V_{GS} = 0 \text{ V}, V_{DS} = 25 \text{ V}, f = 1 \text{ MHz}$	$C_{rss}$	-	4	6	
Turn-on delay time $V_{DD} = 30 \text{ V}, V_{GS} = 10 \text{ V}, I_D = 0.21 \text{ A}$ $R_G = 50 \Omega$	$t_{d(on)}$	-	5	8	ns
Rise time $V_{DD} = 30 \text{ V}, V_{GS} = 10 \text{ V}, I_D = 0.21 \text{ A}$ $R_G = 50 \Omega$	$t_r$	-	10	15	
Turn-off delay time $V_{DD} = 30 \text{ V}, V_{GS} = 10 \text{ V}, I_D = 0.21 \text{ A}$ $R_G = 50 \Omega$	$t_{d(off)}$	-	16	21	
Fall time $V_{DD} = 30 \text{ V}, V_{GS} = 10 \text{ V}, I_D = 0.21 \text{ A}$ $R_G = 50 \Omega$	$t_f$	-	15	20	

Electrical Characteristics, at  $T_j = 25^\circ\text{C}$ , unless otherwise specified

Parameter	Symbol	Values			Unit
		min.	typ.	max.	
<b>Reverse Diode</b>					
Inverse diode continuous forward current $T_A = 25^\circ\text{C}$	$I_S$	-	-	0.1	A
Inverse diode direct current, pulsed $T_A = 25^\circ\text{C}$	$I_{SM}$	-	-	0.4	
Inverse diode forward voltage $V_{GS} = 0\text{ V}, I_F = 0.2\text{ A}$	$V_{SD}$	-	0.8	1.3	V

### Power dissipation

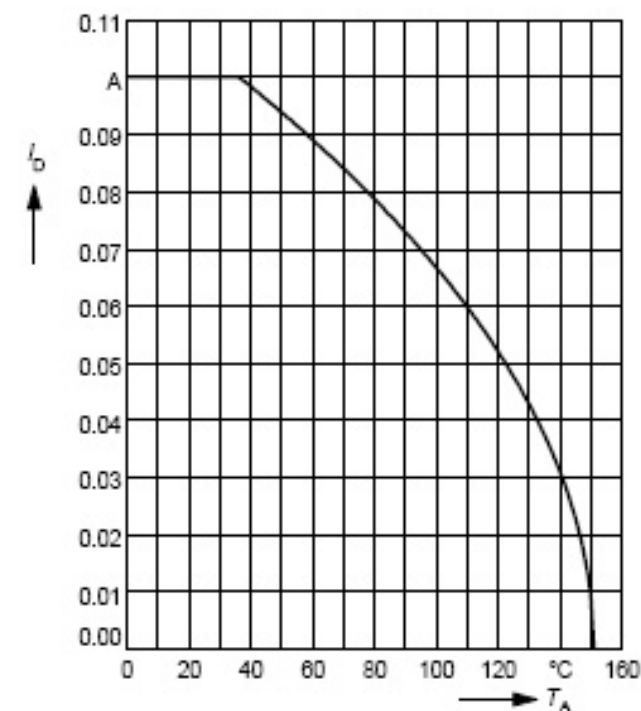
$$P_{\text{tot}} = f(T_A)$$



### Drain current

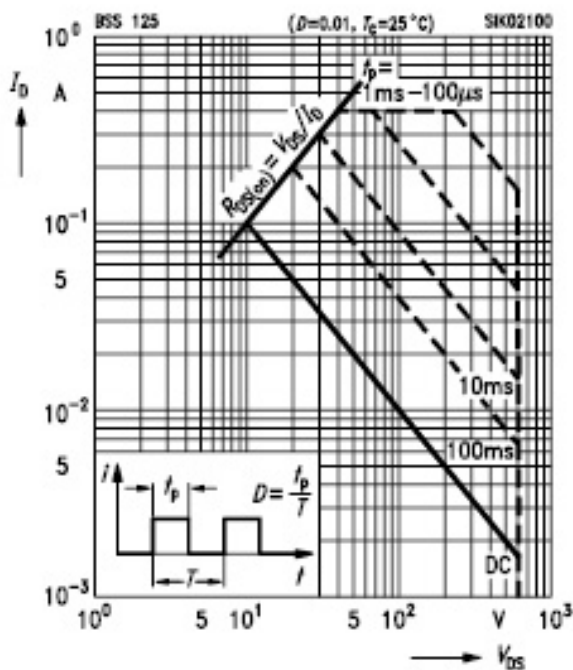
$$I_D = f(T_A)$$

parameter:  $V_{GS} \geq 10$  V



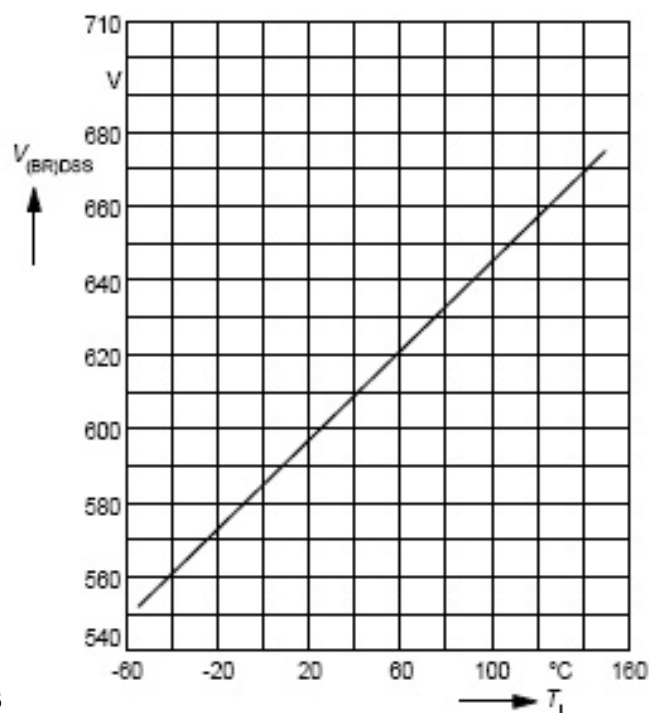
### Safe operating area $I_D = f(V_{DS})$

parameter:  $D = 0.01$ ,  $T_C = 25^\circ\text{C}$



### Drain-source breakdown voltage

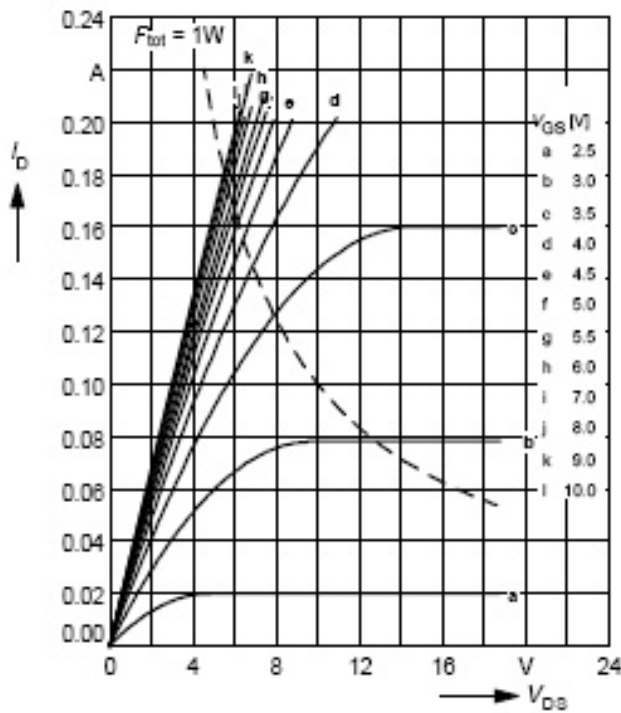
$$V_{(BR)DSS} = f(T_J)$$



### Typ. output characteristics

$$I_D = f(V_{DS})$$

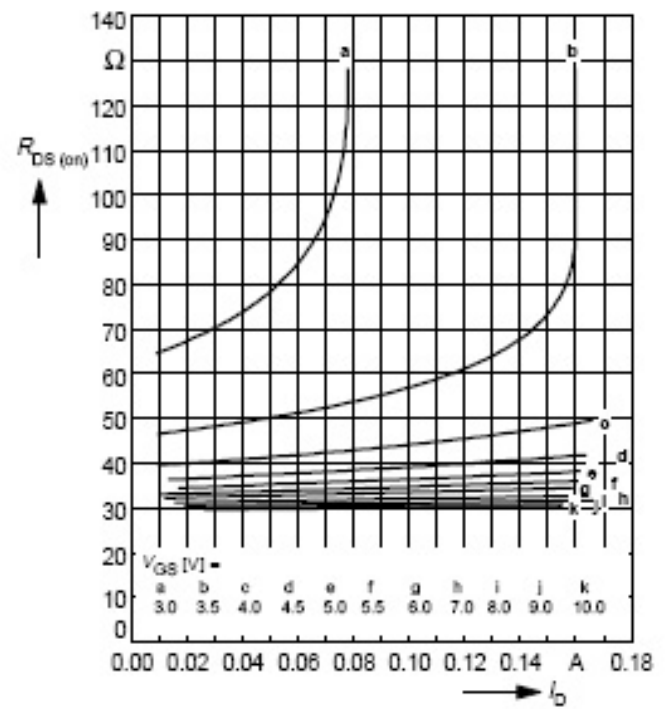
parameter:  $t_p = 80 \mu s$ ,  $T_j = 25^\circ C$



### Typ. drain-source on-resistance

$$R_{DS(on)} = f(I_D)$$

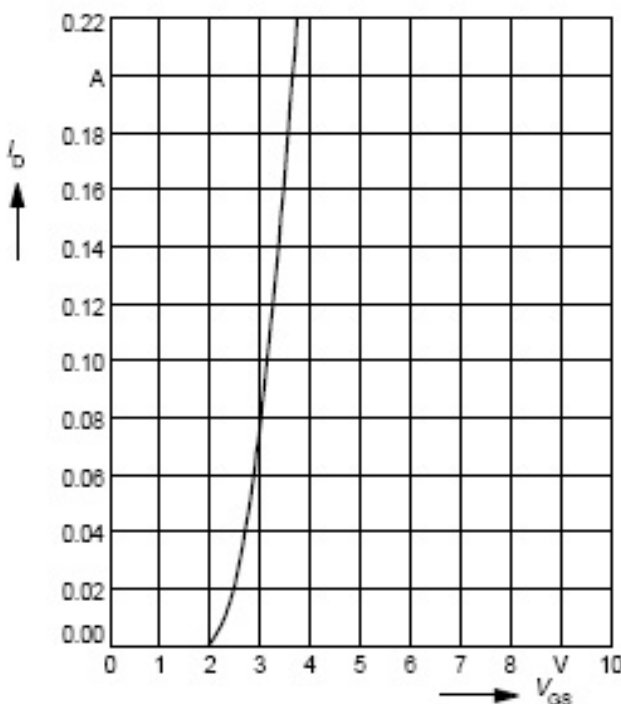
parameter:  $t_p = 80 \mu s$ ,  $T_j = 25^\circ C$



### Typ. transfer characteristics $I_D = f(V_{GS})$

parameter:  $t_p = 80 \mu s$

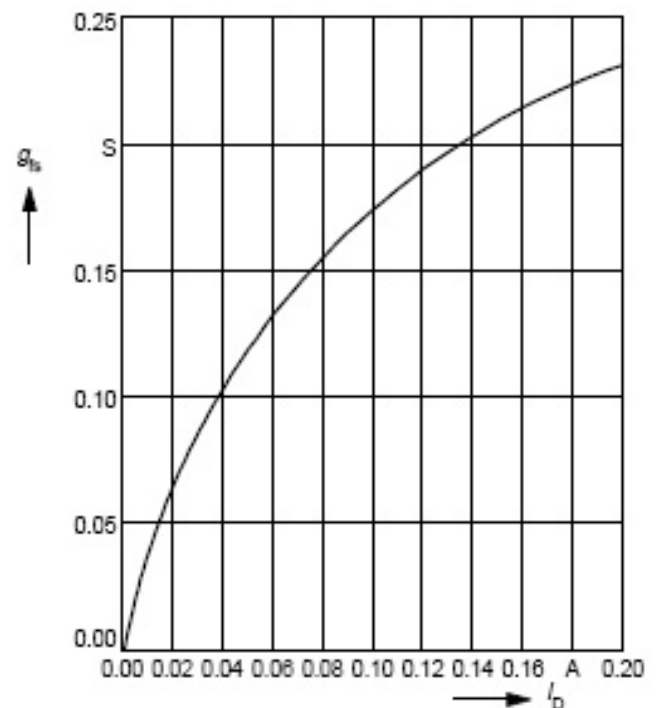
$V_{DS} \geq 2 \times I_D \times R_{DS(on)max}$



### Typ. forward transconductance $g_{fs} = f(I_D)$

parameter:  $t_p = 80 \mu s$ ,

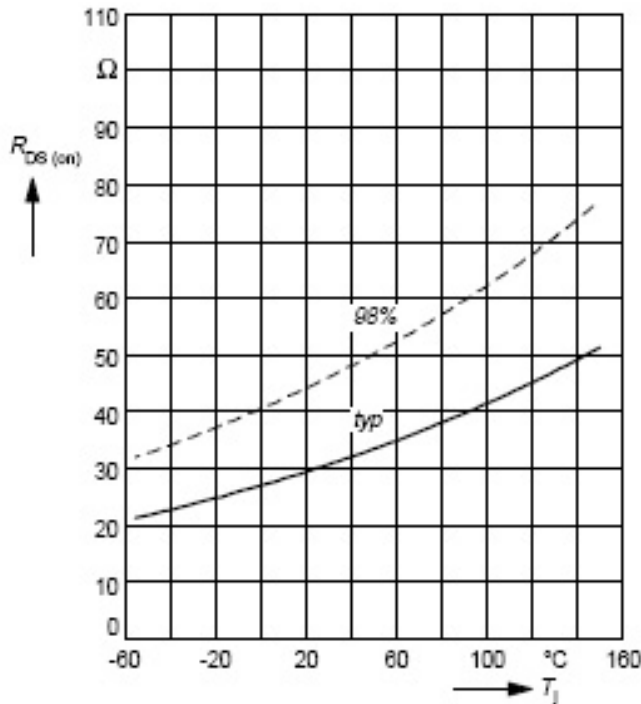
$V_{DS} \geq 2 \times I_D \times R_{DS(on)max}$



### Drain-source on-resistance

$$R_{DS(on)} = f(T_j)$$

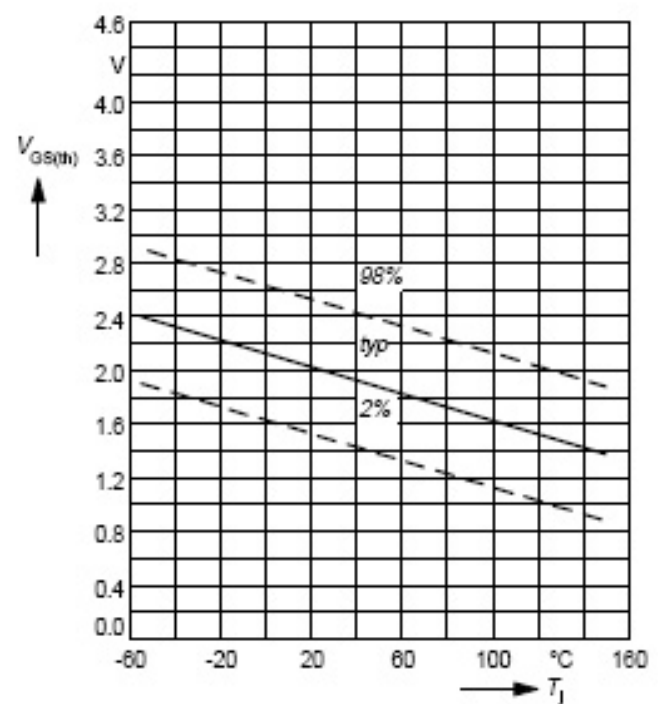
parameter:  $I_D = 0.1 \text{ A}$ ,  $V_{GS} = 10 \text{ V}$



### Gate threshold voltage

$$V_{GS(th)} = f(T_j)$$

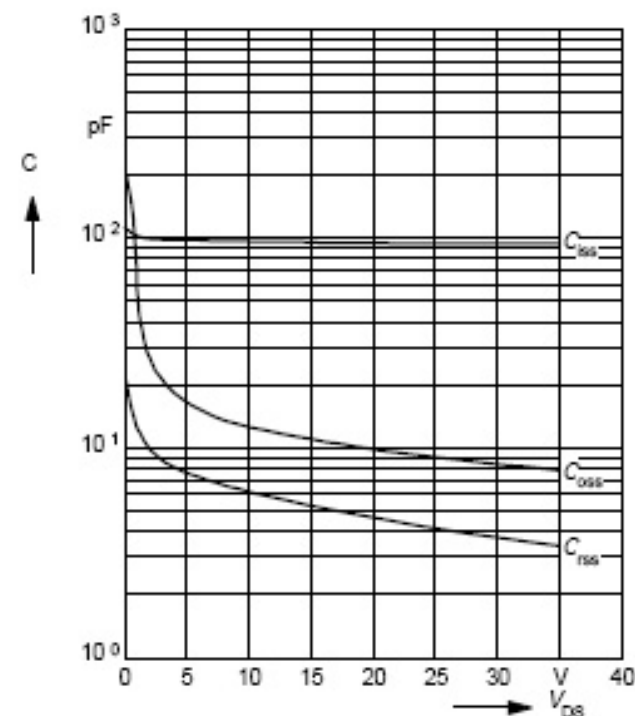
parameter:  $V_{GS} = V_{DS}$ ,  $I_D = 1 \text{ mA}$



### Typ. capacitances

$$C = f(V_{DS})$$

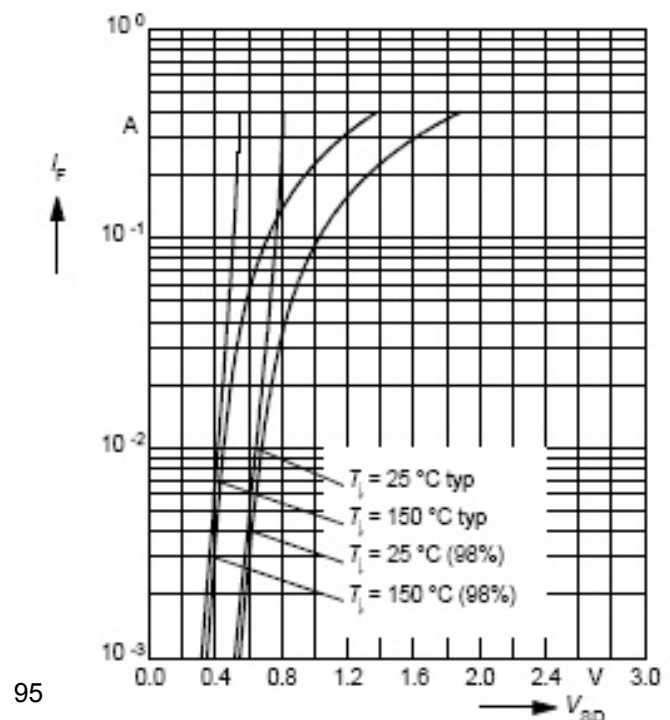
parameter:  $V_{GS} = 0 \text{ V}$ ,  $f = 1 \text{ MHz}$



### Forward characteristics of reverse diode

$$I_F = f(V_{SD})$$

parameter:  $T_j$ ,  $t_p = 80 \mu\text{s}$



## N-channel enhancement mode vertical D-MOS transistor

**BS108**

### FEATURES

- Direct interface to C-MOS, TTL, etc.
- High-speed switching
- No secondary breakdown.

### APPLICATIONS

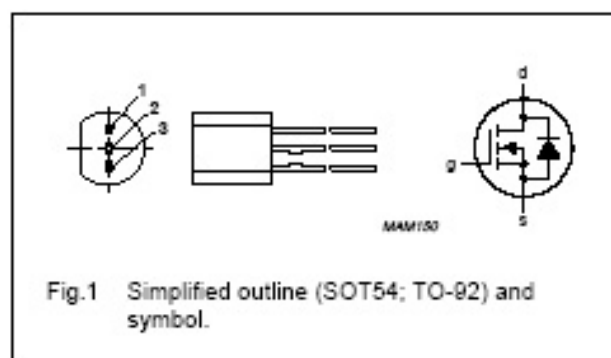
- Line current interruptor in telephone sets
- Applications in relay, high-speed and line transformer drivers.

### DESCRIPTION

N-channel enhancement mode vertical D-MOS transistor in a SOT54 (TO-92) package.

### PINNING - SOT54

PIN	DESCRIPTION
1	source
2	gate
3	drain



### QUICK REFERENCE DATA

SYMBOL	PARAMETER	MAX.	UNIT
$V_{DS}$	drain-source voltage (DC)	200	V
$V_{GSth}$	gate-source threshold voltage	1.8	V
$I_D$	drain current (DC)	300	mA
$R_{DSon}$	drain-source on-state resistance	5	$\Omega$

### LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
$V_{DS}$	drain-source voltage (DC)		–	200	V
$V_{GS0}$	gate-source voltage (DC)	open drain	–	$\pm 20$	V
$I_D$	drain current (DC)		–	300	mA
$I_{DM}$	peak drain current		–	1.2	A
$P_{tot}$	total power dissipation	$T_{amb} \leq 25^\circ\text{C}$ ; note 1	–	1	W
$T_{stg}$	storage temperature		–55	+150	$^\circ\text{C}$
$T_J$	junction temperature		–	150	$^\circ\text{C}$

### Note

1. Device mounted on a printed-circuit board, maximum lead length 4 mm; mounting pad for the drain lead minimum 10 × 10 mm.



## N-channel enhancement mode vertical D-MOS transistor

BS108

### THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th(j-a)}$	thermal resistance from junction to ambient	note 1	125	K/W

#### Note

1. Device mounted on a printed-circuit board, maximum lead length 4 mm; mounting pad for the drain lead minimum 10 × 10 mm.

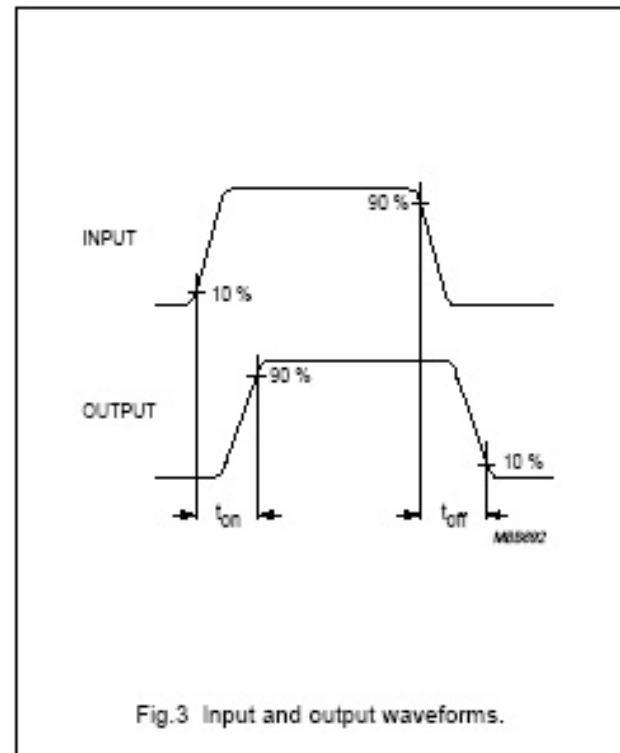
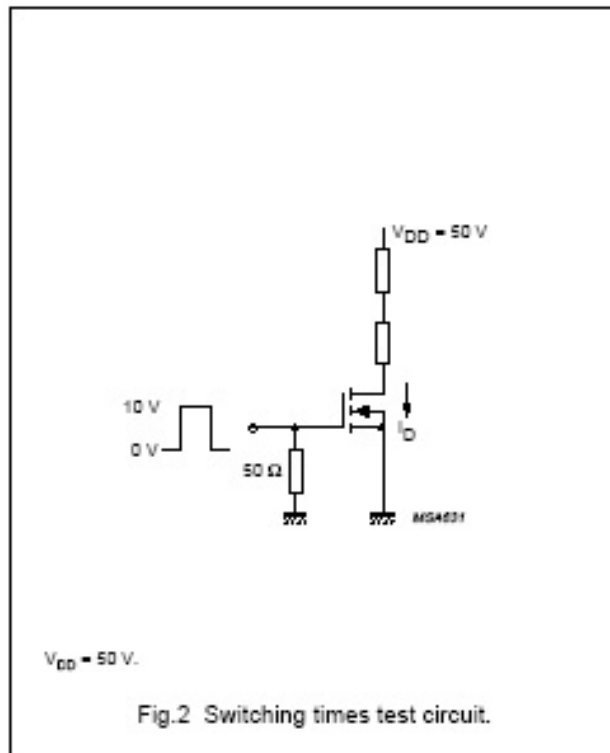
### CHARACTERISTICS

$T_j = 25\text{ }^\circ\text{C}$  unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{(BR)DSS}$	drain-source breakdown voltage	$I_D = 10\text{ }\mu\text{A}; V_{GS} = 0$	200	–	–	V
$I_{DSS}$	drain-source leakage current	$V_{DS} = 160\text{ V}; V_{GS} = 0$	–	–	1	$\mu\text{A}$
$I_{GSS}$	gate-source leakage current	$V_{GS} = \pm 20\text{ V}; V_{DS} = 0$	–	–	$\pm 100$	nA
$V_{GS(th)}$	gate-source threshold voltage	$I_D = 1\text{ mA}; V_{DS} = V_{DS}$	0.4	–	1.8	V
$R_{DS(on)}$	drain-source on-state resistance	$I_D = 100\text{ mA}; V_{GS} = 2.8\text{ V}$	–	2.7	5	$\Omega$
$ Y_{fs} $	transfer admittance	$I_D = 300\text{ mA}; V_{DS} = 25\text{ V}$	200	600	–	mS
$C_{iss}$	input capacitance	$V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$	–	100	120	pF
$C_{oss}$	output capacitance	$V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$	–	20	30	pF
$C_{rss}$	reverse transfer capacitance	$V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$	–	10	15	pF
<b>Switching times (see Figs 2 and 3)</b>						
$t_{on}$	turn-on time	$I_D = 250\text{ mA}; V_{DD} = 50\text{ V};$ $V_{GS} = 0\text{ to }10\text{ V}$	–	6	10	ns
$t_{off}$	turn-off time	$I_D = 250\text{ mA}; V_{DD} = 50\text{ V};$ $V_{GS} = 0\text{ to }10\text{ V}$	–	49	60	ns

# N-channel enhancement mode vertical D-MOS transistor

BS108



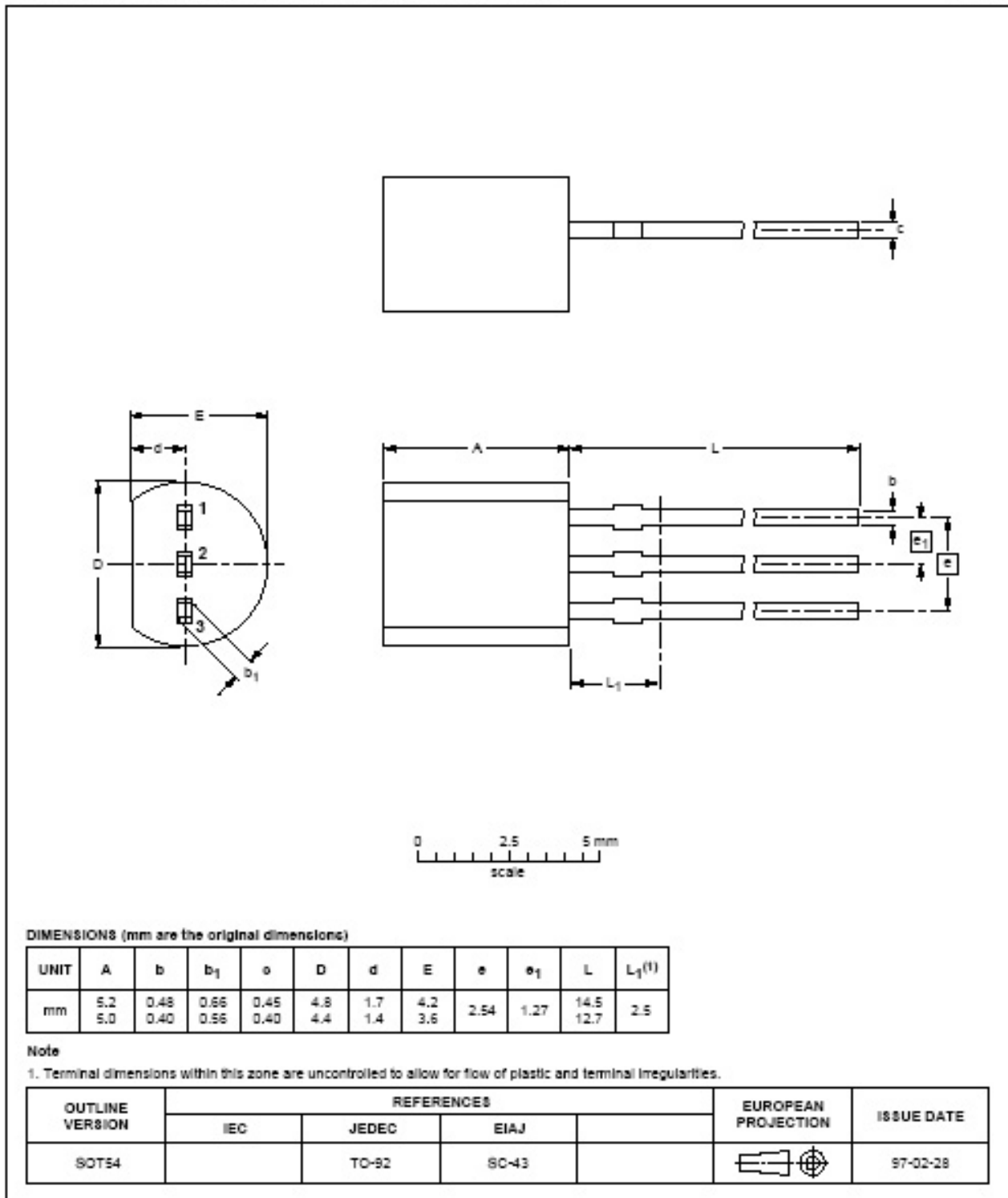
# N-channel enhancement mode vertical D-MOS transistor

BS108

## PACKAGE OUTLINE

Plastic single-ended leaded (through hole) package: 3 leads

SOT54



## SILICON N-CHANNEL DUAL GATE MOS-FET

Depletion type field-effect transistor in a plastic X-package with source and substrate interconnected, intended for VHF applications, such as VHF television tuners, FM tuners and professional communication equipment.

This MOS-FET tetrode is protected against excessive input voltage surges by integrated back-to-back diodes between gates and source.

### QUICK REFERENCE DATA

Drain-source voltage	$V_{DS}$	max.	20 V
Drain current	$I_D$	max.	20 mA
Total power dissipation up to $T_{amb} = 75\text{ }^\circ\text{C}$	$P_{tot}$	max.	225 mW
Junction temperature	$T_j$	max.	150 $^\circ\text{C}$
Transfer admittance at $f = 1\text{ kHz}$ $I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; +V_{G2S} = 4\text{ V}$	$ y_{fs} $	typ.	14 mS
Input capacitance at gate 1; $f = 1\text{ MHz}$ $I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; +V_{G2S} = 4\text{ V}$	$C_{ig1-s}$	typ.	2.1 pF
Feedback capacitance at $f = 1\text{ MHz}$ $I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; +V_{G2S} = 4\text{ V}$	$C_{rs}$	typ.	20 fF
Noise figure at optimum source admittance $I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; +V_{G2S} = 4\text{ V}; f = 200\text{ MHz}$	$F$	typ.	0.7 dB

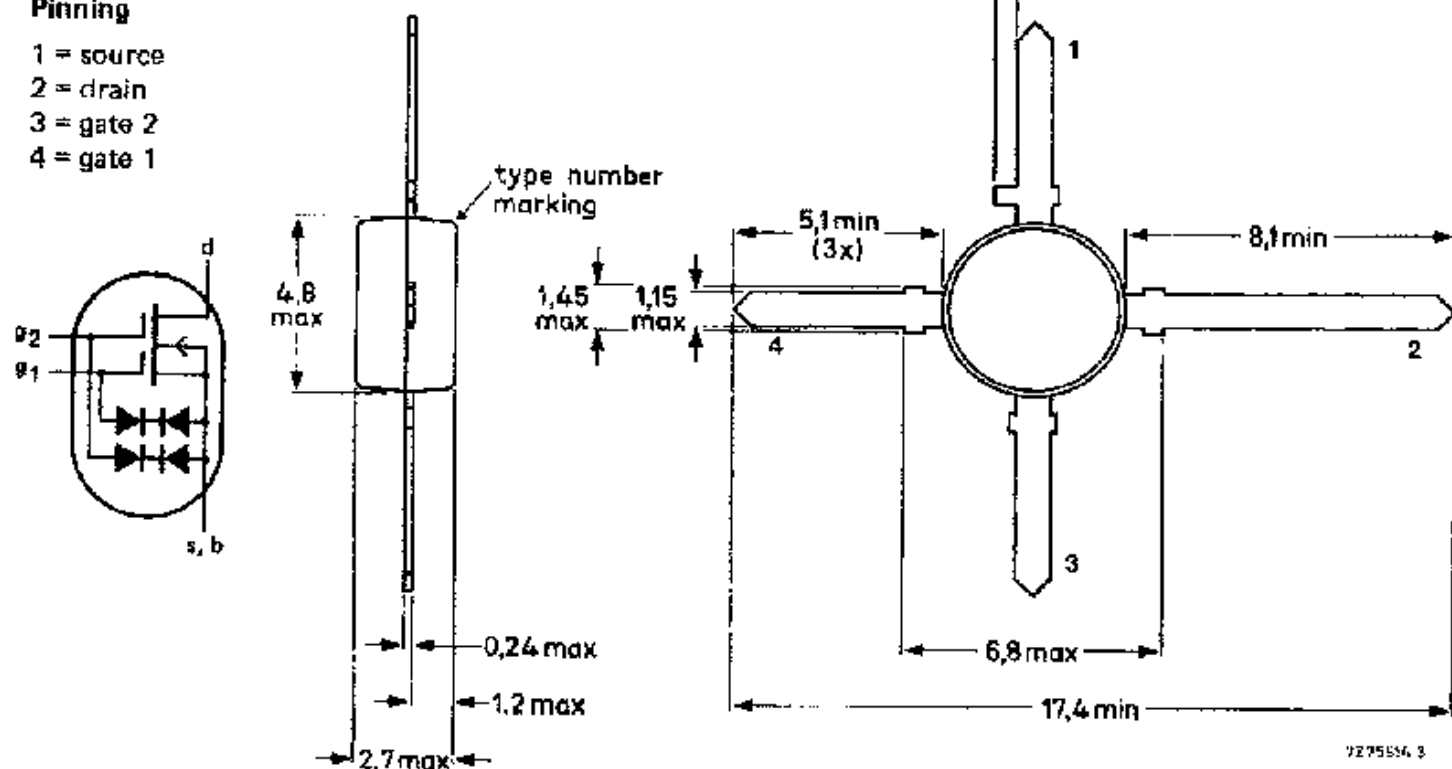
### MECHANICAL DATA

Dimensions in mm

Fig.1 SOT103.

#### Pinning

- 1 = source
- 2 = drain
- 3 = gate 2
- 4 = gate 1



727554 3

# MC14007UB

## Dual Complementary Pair Plus Inverter

The MC14007UB multi-purpose device consists of three N-channel and three P-channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse-shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4007A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti-static precautions must be taken.

### MAXIMUM RATINGS (Voltages Referenced to $V_{SS}$ ) (Note 2.)

Symbol	Parameter	Value	Unit
$V_{DD}$	DC Supply Voltage Range	-0.5 to +18.0	V
$V_{in}, V_{out}$	Input or Output Voltage Range (DC or Transient)	-0.5 to $V_{DD} + 0.5$	V
$I_{in}, I_{out}$	Input or Output Current (DC or Transient) per Pin	$\pm 10$	mA
$P_D$	Power Dissipation, per Package (Note 3.)	500	mW
$T_A$	Ambient Temperature Range	-55 to +125	$^{\circ}C$
$T_{stg}$	Storage Temperature Range	-65 to +150	$^{\circ}C$
$T_L$	Lead Temperature (8-Second Soldering)	260	$^{\circ}C$

- Maximum Ratings are those values beyond which damage to the device may occur.
- Temperature Derating:  
Plastic "P and D/DW" Packages: - 7.0 mW/ $^{\circ}C$  From 65 $^{\circ}C$  To 125 $^{\circ}C$

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$ .

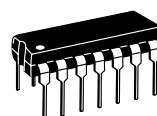
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either  $V_{SS}$  or  $V_{DD}$ ). Unused outputs must be left open.



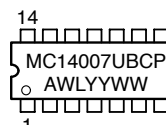
ON Semiconductor

<http://onsemi.com>

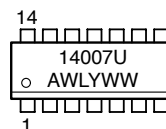
### MARKING DIAGRAMS



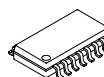
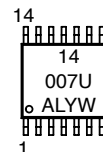
PDIP-14  
P SUFFIX  
CASE 646



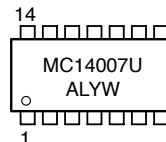
SOIC-14  
D SUFFIX  
CASE 751A



TSSOP-14  
DT SUFFIX  
CASE 948G



SOEIAJ-14  
F SUFFIX  
CASE 965



A = Assembly Location  
WL, L = Wafer Lot  
YY, Y = Year  
WW, W = Work Week

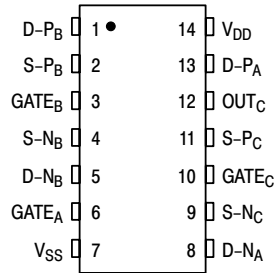
### ORDERING INFORMATION

Device	Package	Shipping
MC14007UBCP	PDIP-14	2000/Box
MC14007UBD	SOIC-14	55/Rail
MC14007UBDR2	SOIC-14	2500/Tape & Reel
MC14007UBDT	TSSOP-14	96/Rail
MC14007UBF	SOEIAJ-14	See Note 1.
MC14007UBFEL	SOEIAJ-14	See Note 1.

- For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

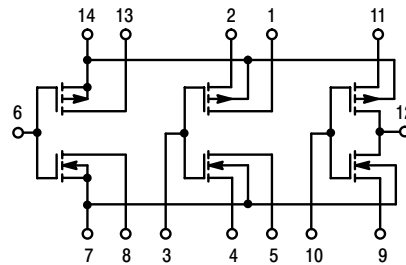
# MC14007UB

## PIN ASSIGNMENT

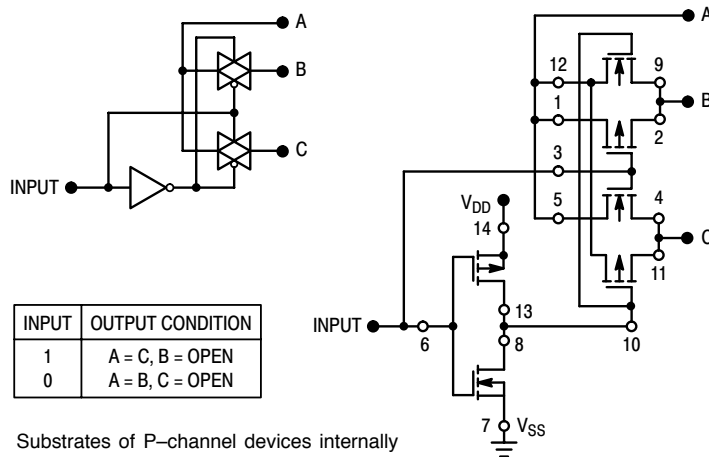


D = DRAIN  
S = SOURCE

## SCHEMATIC



$V_{DD}$  = PIN 14  
 $V_{SS}$  = PIN 7



Substrates of P-channel devices internally connected to  $V_{DD}$ ; substrates of N-channel devices internally connected to  $V_{SS}$ .

Figure 1. Typical Application: 2-Input Analog Multiplexer

## MC14007UB

### ELECTRICAL CHARACTERISTICS (Voltages Referenced to V<sub>SS</sub>)

Characteristic	Symbol	V <sub>DD</sub> Vdc	-55°C		25°C			125°C		Unit
			Min	Max	Min	Typ <sup>(4.)</sup>	Max	Min	Max	
Output Voltage V <sub>in</sub> = V <sub>DD</sub> or 0  V <sub>in</sub> = 0 or V <sub>DD</sub>	“0” Level V <sub>OL</sub>	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
	“1” Level V <sub>OH</sub>	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (V <sub>O</sub> = 4.5 Vdc) (V <sub>O</sub> = 9.0 Vdc) (V <sub>O</sub> = 13.5 Vdc)  (V <sub>O</sub> = 0.5 Vdc) (V <sub>O</sub> = 1.0 Vdc) (V <sub>O</sub> = 1.5 Vdc)	“0” Level V <sub>IL</sub>	5.0	—	1.0	—	2.25	1.0	—	1.0	Vdc
		10	—	2.0	—	4.50	2.0	—	2.0	
		15	—	2.5	—	6.75	2.5	—	2.5	
	“1” Level V <sub>IH</sub>	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
		10	8.0	—	8.0	5.50	—	8.0	—	
		15	12.5	—	12.5	8.25	—	12.5	—	
Output Drive Current (V <sub>OH</sub> = 2.5 Vdc) (V <sub>OH</sub> = 4.6 Vdc) (V <sub>OH</sub> = 9.5 Vdc) (V <sub>OH</sub> = 13.5 Vdc)  (V <sub>OL</sub> = 0.4 Vdc) (V <sub>OL</sub> = 0.5 Vdc) (V <sub>OL</sub> = 1.5 Vdc)	Source I <sub>OH</sub>	5.0	-3.0	—	-2.4	-5.0	—	-1.7	—	mAdc
		5.0	-0.64	—	-0.51	-1.0	—	-0.36	—	
		10	-1.6	—	-1.3	-2.5	—	-0.9	—	
		15	-4.2	—	-3.4	-10	—	-2.4	—	
	Sink I <sub>OL</sub>	5.0	0.64	—	0.51	1.0	—	0.36	—	mAdc
		10	1.6	—	1.3	2.5	—	0.9	—	
15		4.2	—	3.4	10	—	2.4	—		
Input Current	I <sub>in</sub>	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	μAdc
Input Capacitance (V <sub>in</sub> = 0)	C <sub>in</sub>	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I <sub>DD</sub>	5.0	—	0.25	—	0.0005	0.25	—	7.5	μAdc
		10	—	0.5	—	0.0010	0.5	—	15	
		15	—	1.0	—	0.0015	1.0	—	30	
Total Supply Current <sup>(5.)</sup> <sup>(6.)</sup> (Dynamic plus Quiescent, Per Gate) (C <sub>L</sub> = 50 pF)	I <sub>T</sub>	5.0	I <sub>T</sub> = (0.7 μA/kHz) f + I <sub>DD</sub> /6							μAdc
		10	I <sub>T</sub> = (1.4 μA/kHz) f + I <sub>DD</sub> /6							
		15	I <sub>T</sub> = (2.2 μA/kHz) f + I <sub>DD</sub> /6							

4. Data labelled “Typ” is not to be used for design purposes but is intended as an indication of the IC’s potential performance.

5. The formulas given are for the typical characteristics only at 25°C.

6. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) \text{ Vfk}$$

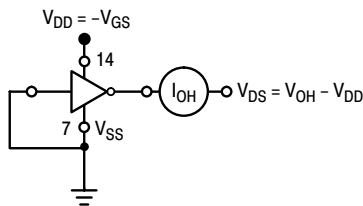
where: I<sub>T</sub> is in μA (per package), C<sub>L</sub> in pF, V = (V<sub>DD</sub> - V<sub>SS</sub>) in volts, f in kHz is input frequency, and k = 0.003.

# MC14007UB

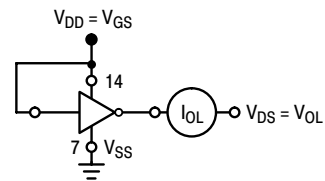
## SWITCHING CHARACTERISTICS (7.) ( $C_L = 50 \text{ pF}$ , $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	$V_{DD}$ Vdc	Min	Typ (8.)	Max	Unit
Output Rise Time $t_{TLH} = (1.2 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_{TLH} = (0.5 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{TLH} = (0.4 \text{ ns/pF}) C_L + 15 \text{ ns}$	$t_{TLH}$	5.0 10 15	— — —	90 45 35	180 90 70	ns
Output Fall Time $t_{THL} = (1.2 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{THL} = (0.5 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{THL} = (0.4 \text{ ns/pF}) C_L + 10 \text{ ns}$	$t_{THL}$	5.0 10 15	— — —	75 40 30	150 80 60	ns
Turn-Off Delay Time $t_{PLH} = (1.5 \text{ ns/pF}) C_L + 35 \text{ ns}$ $t_{PLH} = (0.2 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{PLH} = (0.15 \text{ ns/pF}) C_L + 17.5 \text{ ns}$	$t_{PLH}$	5.0 10 15	— — —	60 30 25	125 75 55	ns
Turn-On Delay Time $t_{PHL} = (1.0 \text{ ns/pF}) C_L + 10 \text{ ns}$ $t_{PHL} = (0.3 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{PHL} = (0.2 \text{ ns/pF}) C_L + 15 \text{ ns}$	$t_{PHL}$	5.0 10 15	— — —	60 30 25	125 75 55	ns

7. The formulas given are for the typical characteristics only. Switching specifications are for device connected as an inverter.  
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.



All unused inputs connected to ground.



All unused inputs connected to ground.

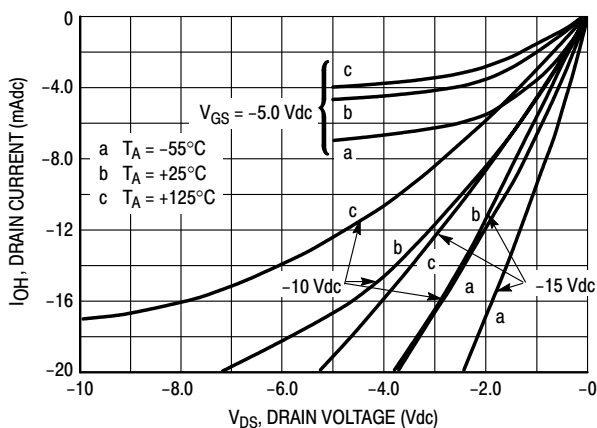


Figure 2. Typical Output Source Characteristics

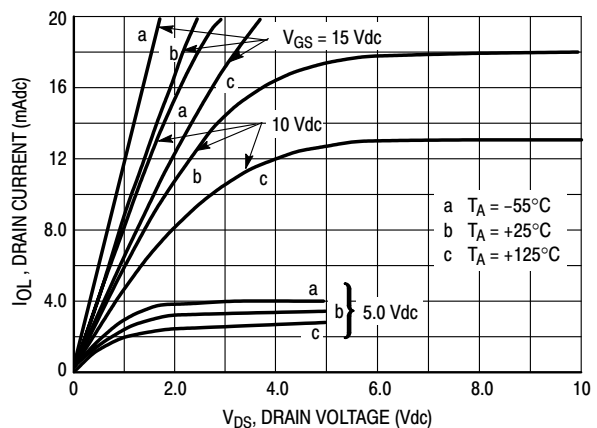


Figure 3. Typical Output Sink Characteristics

These typical curves are not guarantees, but are design aids.  
Caution: The maximum current rating is 10 mA per pin.



# MC14007UB

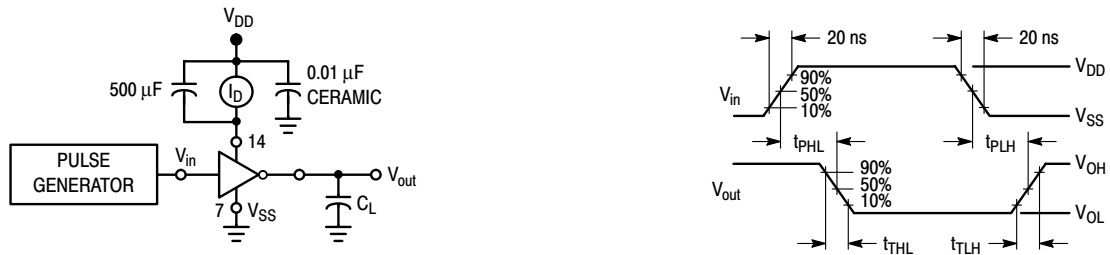
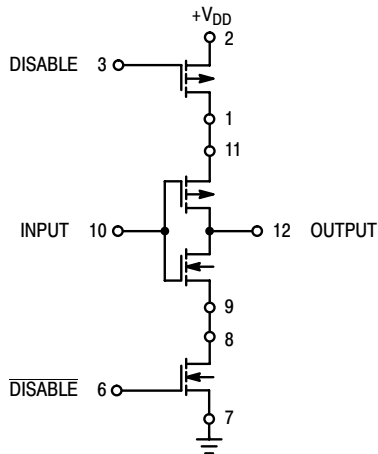


Figure 4. Switching Time and Power Dissipation Test Circuit and Waveforms

## APPLICATIONS

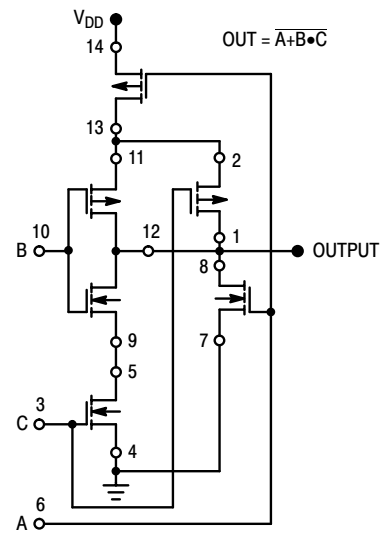
The MC14007UB dual pair plus inverter, which has access to all its elements offers a number of unique circuit applications. Figures 1, 5, and 6 are a few examples of the device flexibility.



INPUT	DISABLE	OUTPUT
1	0	0
0	0	1
X	1	OPEN

X = Don't Care

Figure 5. 3-State Buffer



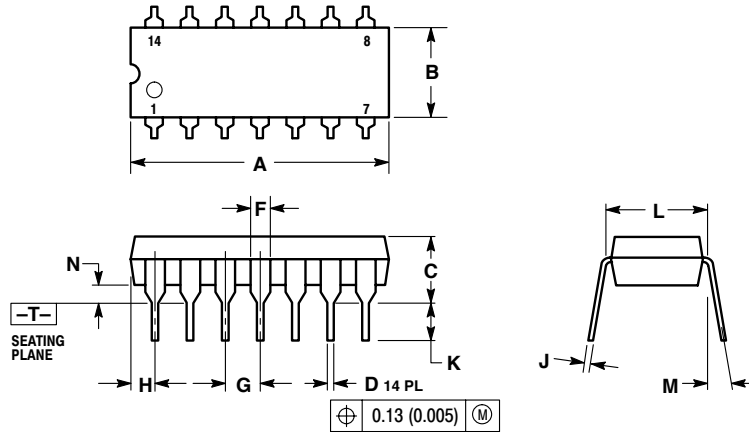
Substrates of P-channel devices internally connected to  $V_{DD}$ ;  
Substrates of N-channel devices internally connected to  $V_{SS}$ .

Figure 6. AOI Functions Using Tree Logic

# MC14007UB

## PACKAGE DIMENSIONS

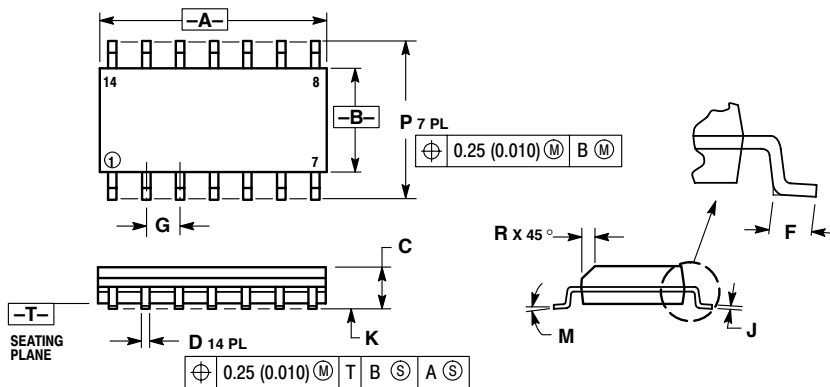
### P SUFFIX PLASTIC DIP PACKAGE CASE 646-06 ISSUE M



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: INCH.
  3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
  4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
  5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

### D SUFFIX PLASTIC SOIC PACKAGE CASE 751A-03 ISSUE F



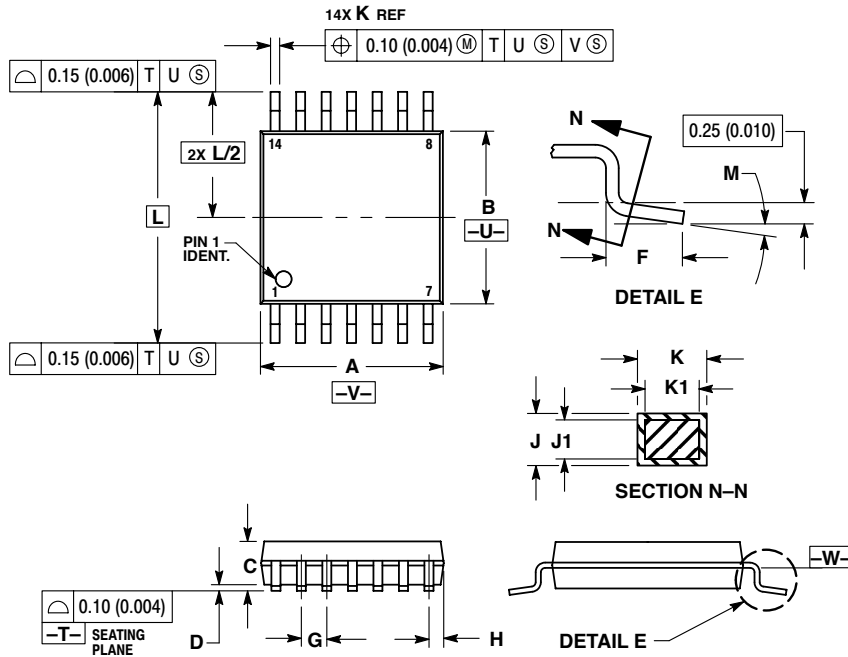
- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: MILLIMETER.
  3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
  4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
  5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

# MC14007UB

## PACKAGE DIMENSIONS

DT SUFFIX  
PLASTIC TSSOP PACKAGE  
CASE 948G-01  
ISSUE O

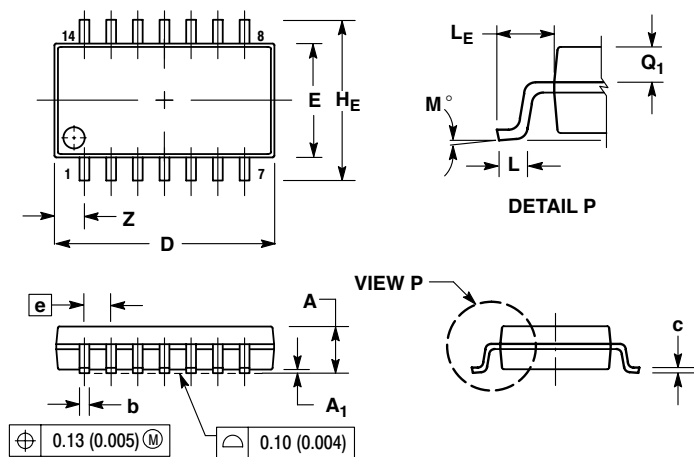


**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

F SUFFIX  
PLASTIC EIAJ SOIC PACKAGE  
CASE 965-01  
ISSUE O



**NOTES:**

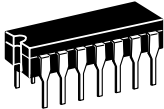
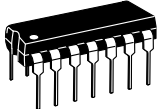

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A <sub>1</sub>	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H <sub>E</sub>	7.40	8.20	0.291	0.323
0.50	0.50	0.85	0.020	0.033
L <sub>E</sub>	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q <sub>1</sub>	0.70	0.90	0.028	0.035
Z	---	1.42	---	0.056

## B-Suffix Series CMOS Gates

The B Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range.
- Double Diode Protection on All Inputs Except: Triple Diode Protection on MC14011B and MC14081B
- Pin-for-Pin Replacements for Corresponding CD4000 Series B Suffix Devices (Exceptions: MC14068B and MC14078B)

		
<b>L SUFFIX</b> CERAMIC CASE 632	<b>P SUFFIX</b> PLASTIC CASE 646	<b>D SUFFIX</b> SOIC CASE 751A
<b>ORDERING INFORMATION</b>		
MC14XXXBCP		Plastic
MC14XXXBCL		Ceramic
MC14XXXBD		SOIC
$T_A = -55^\circ$ to $125^\circ\text{C}$ for all packages.		

### MAXIMUM RATINGS\* (Voltages Referenced to $V_{SS}$ )

Symbol	Parameter	Value	Unit
$V_{DD}$	DC Supply Voltage	- 0.5 to + 18.0	V
$V_{in}, V_{out}$	Input or Output Voltage (DC or Transient)	- 0.5 to $V_{DD} + 0.5$	V
$I_{in}, I_{out}$	Input or Output Current (DC or Transient), per Pin	$\pm 10$	mA
$P_D$	Power Dissipation, per Package†	500	mW
$T_{stg}$	Storage Temperature	- 65 to + 150	$^\circ\text{C}$
$T_L$	Lead Temperature (8-Second Soldering)	260	$^\circ\text{C}$

\* Maximum Ratings are those values beyond which damage to the device may occur.  
† Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/ $^\circ\text{C}$  From  $65^\circ\text{C}$  To  $125^\circ\text{C}$   
Ceramic "L" Packages: - 12 mW/ $^\circ\text{C}$  From  $100^\circ\text{C}$  To  $125^\circ\text{C}$

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$ . Unused inputs must always be tied to an appropriate logic voltage level (e.g., either  $V_{SS}$  or  $V_{DD}$ ). Unused outputs must be left open.

REV 3  
1/94

© Motorola, Inc. 1995

**MC14001B**  
Quad 2-Input NOR Gate

**MC14002B**  
Dual 4-Input NOR Gate

**MC14011B**  
Quad 2-Input NAND Gate

**MC14012B**  
Dual 4-Input NAND Gate

**MC14023B**  
Triple 3-Input NAND Gate

**MC14025B**  
Triple 3-Input NOR Gate

**MC14068B**  
8-Input NAND Gate

**MC14071B**  
Quad 2-Input OR Gate

**MC14072B**  
Dual 4-Input OR Gate

**MC14073B**  
Triple 3-Input AND Gate

**MC14075B**  
Triple 3-Input OR Gate

**MC14078B**  
8-Input NOR Gate

**MC14081B**  
Quad 2-Input AND Gate

**MC14082B**  
Dual 4-Input AND Gate

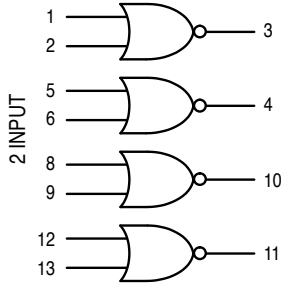


**MOTOROLA**

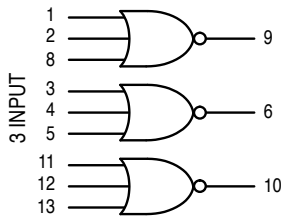
LOGIC DIAGRAMS

NOR

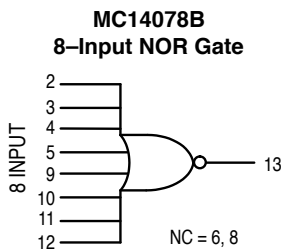
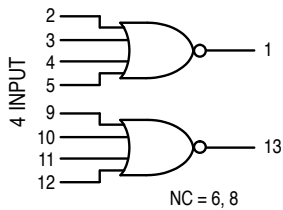
**MC14001B**  
Quad 2-Input NOR Gate



**MC14025B**  
Triple 3-Input NOR Gate

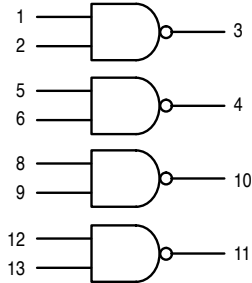


**MC14002B**  
Dual 4-Input NOR Gate

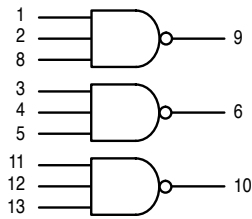


NAND

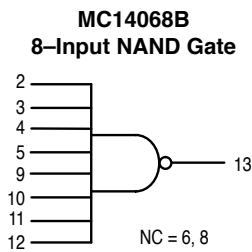
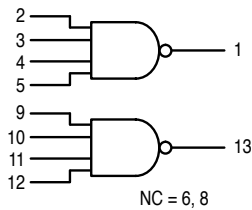
**MC14011B**  
Quad 2-Input NAND Gate



**MC14023B**  
Triple 3-Input NAND Gate

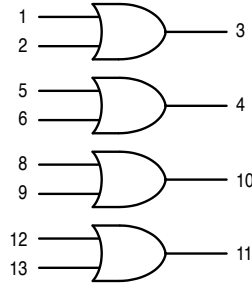


**MC14012B**  
Dual 4-Input NAND Gate

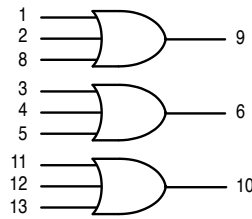


OR

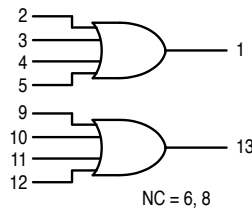
**MC14071B**  
Quad 2-Input OR Gate



**MC14075B**  
Triple 3-Input OR Gate

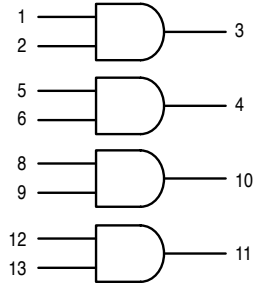


**MC14072B**  
Dual 4-Input OR Gate

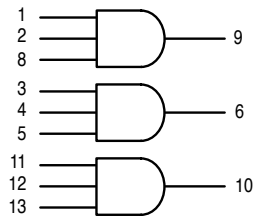


AND

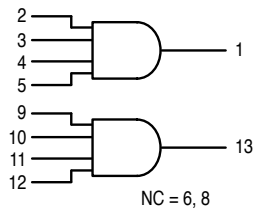
**MC14081B**  
Quad 2-Input AND Gate



**MC14073B**  
Triple 3-Input AND Gate



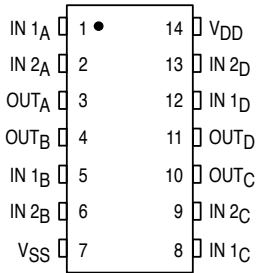
**MC14082B**  
Dual 4-Input AND Gate



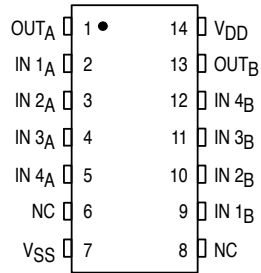
V<sub>DD</sub> = PIN 14  
V<sub>SS</sub> = PIN 7  
FOR ALL DEVICES

## PIN ASSIGNMENTS

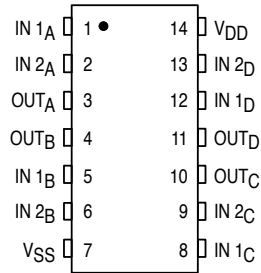
**MC14001B**  
Quad 2-Input NOR Gate



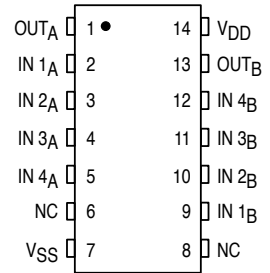
**MC14002B**  
Dual 4-Input NOR Gate



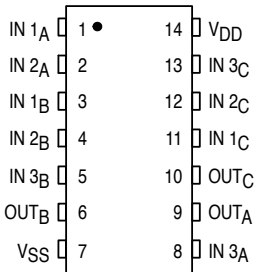
**MC14011B**  
Quad 2-Input NAND Gate



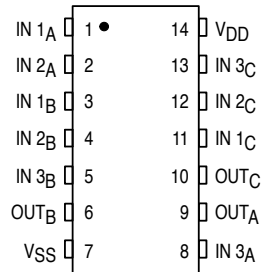
**MC14012B**  
Dual 4-Input NAND Gate



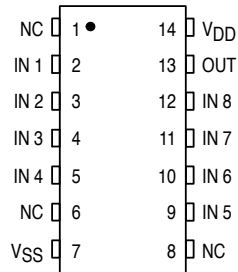
**MC14023B**  
Triple 3-Input NAND Gate



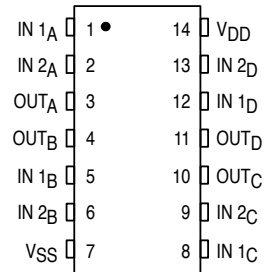
**MC14025B**  
Triple 3-Input NOR Gate



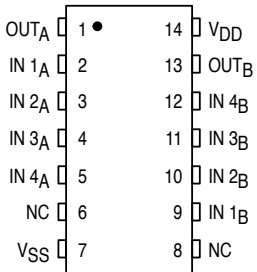
**MC14068B**  
8-Input NAND Gate



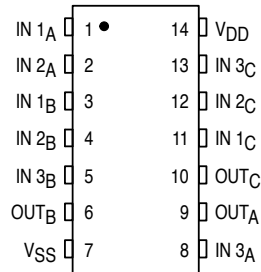
**MC14071B**  
Quad 2-Input OR Gate



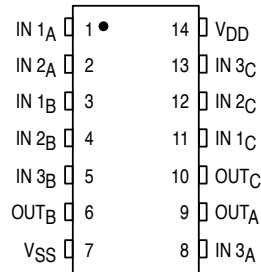
**MC14072B**  
Dual 4-Input OR Gate



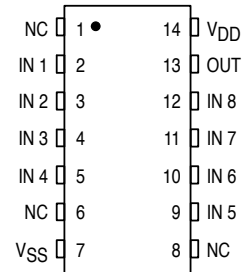
**MC14073B**  
Triple 3-Input AND Gate



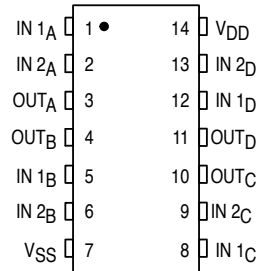
**MC14075B**  
Triple 3-Input OR Gate



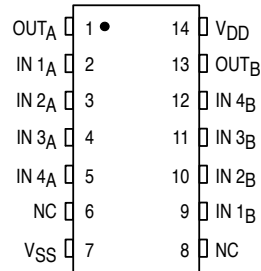
**MC14078B**  
8-Input NOR Gate



**MC14081B**  
Quad 2-Input AND Gate



**MC14082B**  
Dual 4-Input AND Gate



NC = NO CONNECTION

**ELECTRICAL CHARACTERISTICS** (Voltages Referenced to  $V_{SS}$ )

Characteristic	Symbol	$V_{DD}$ Vdc	- 55°C		25°C			125°C		Unit
			Min	Max	Min	Typ #	Max	Min	Max	
Output Voltage $V_{in} = V_{DD}$ or 0  $V_{in} = 0$ or $V_{DD}$	“0” Level  $V_{OL}$	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
	“1” Level  $V_{OH}$	5.0	4.95	—	4.95	5.0	—	4.95	—	
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage “0” Level ( $V_O = 4.5$ or $0.5$ Vdc) ( $V_O = 9.0$ or $1.0$ Vdc) ( $V_O = 13.5$ or $1.5$ Vdc)  “1” Level ( $V_O = 0.5$ or $4.5$ Vdc) ( $V_O = 1.0$ or $9.0$ Vdc) ( $V_O = 1.5$ or $13.5$ Vdc)	$V_{IL}$	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	4.0	—	6.75	4.0	—	4.0	
	$V_{IH}$	5.0	3.5	—	3.5	2.75	—	3.5	—	
		10	7.0	—	7.0	5.50	—	7.0	—	
		15	11	—	11	8.25	—	11	—	
Output Drive Current ( $V_{OH} = 2.5$ Vdc) ( $V_{OH} = 4.6$ Vdc) ( $V_{OH} = 9.5$ Vdc) ( $V_{OH} = 13.5$ Vdc)  ( $V_{OL} = 0.4$ Vdc) ( $V_{OL} = 0.5$ Vdc) ( $V_{OL} = 1.5$ Vdc)	Source  $I_{OH}$	5.0	- 3.0	—	- 2.4	- 4.2	—	- 1.7	—	mAdc
		5.0	- 0.64	—	- 0.51	- 0.88	—	- 0.36	—	
		10	- 1.6	—	- 1.3	- 2.25	—	- 0.9	—	
		15	- 4.2	—	- 3.4	- 8.8	—	- 2.4	—	
	Sink  $I_{OL}$	5.0	0.64	—	0.51	0.88	—	0.36	—	
		10	1.6	—	1.3	2.25	—	0.9	—	
15	4.2	—	3.4	8.8	—	2.4	—	—		
Input Current	$I_{in}$	15	—	$\pm 0.1$	—	$\pm 0.00001$	$\pm 0.1$	—	$\pm 1.0$	$\mu$ Adc
Input Capacitance ( $V_{in} = 0$ )	$C_{in}$	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	$I_{DD}$	5.0	—	0.25	—	0.0005	0.25	—	7.5	$\mu$ Adc
		10	—	0.5	—	0.0010	0.5	—	15	
		15	—	1.0	—	0.0015	1.0	—	30	
Total Supply Current**† (Dynamic plus Quiescent, Per Gate, $C_L = 50$ pF)	$I_T$	5.0 10 15	$I_T = (0.3 \mu A/kHz) f + I_{DD}/N$ $I_T = (0.6 \mu A/kHz) f + I_{DD}/N$ $I_T = (0.9 \mu A/kHz) f + I_{DD}/N$						$\mu$ Adc	

#Data labelled “Typ” is not to be used for design purposes but is intended as an indication of the IC’s potential performance.

\*\* The formulas given are for the typical characteristics only at 25°C.

† To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) Vfk$$

where:  $I_T$  is in  $\mu A$  (per package),  $C_L$  in pF,  $V = (V_{DD} - V_{SS})$  in volts,  $f$  in kHz is input frequency, and  $k = 0.001 \times$  the number of exercised gates per package.

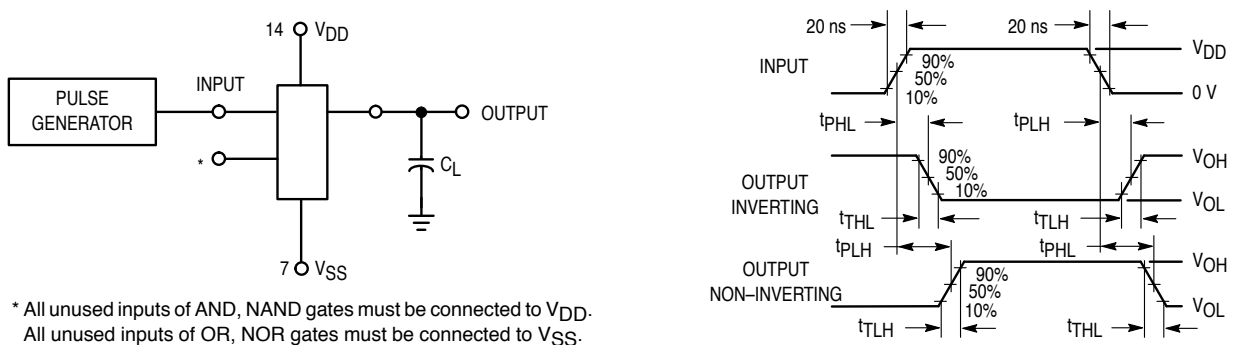
## B-SERIES GATE SWITCHING TIMES

**SWITCHING CHARACTERISTICS\*** ( $C_L = 50 \text{ pF}$ ,  $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	V <sub>DD</sub> V <sub>dC</sub>	Min	Typ #	Max	Unit
Output Rise Time, All B-Series Gates $t_{TLH} = (1.35 \text{ ns/pF}) C_L + 33 \text{ ns}$ $t_{TLH} = (0.60 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{TLH} = (0.40 \text{ ns/pF}) C_L + 20 \text{ ns}$	$t_{TLH}$	5.0 10 15	— — —	100 50 40	200 100 80	ns
Output Fall Time, All B-Series Gates $t_{THL} = (1.35 \text{ ns/pF}) C_L + 33 \text{ ns}$ $t_{THL} = (0.60 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{THL} = (0.40 \text{ ns/pF}) C_L + 20 \text{ ns}$	$t_{THL}$	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time MC14001B, MC14011B only $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 80 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 32 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 27 \text{ ns}$ All Other 2, 3, and 4 Input Gates $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 115 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 47 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 37 \text{ ns}$ 8-Input Gates (MC14068B, MC14078B) $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 155 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 62 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 47 \text{ ns}$	$t_{PLH}, t_{PHL}$	5.0 10 15  5.0 10 15  5.0 10 15	— — —  — — —  — — —	125 50 40  160 65 50  200 80 60	250 100 80  300 130 100  350 150 110	ns

\* The formulas given are for the typical characteristics only at 25°C.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

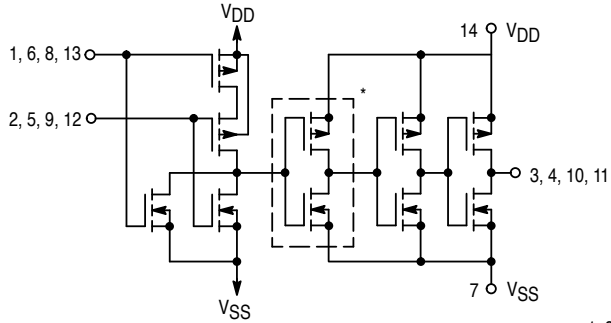


**Figure 1. Switching Time Test Circuit and Waveforms**



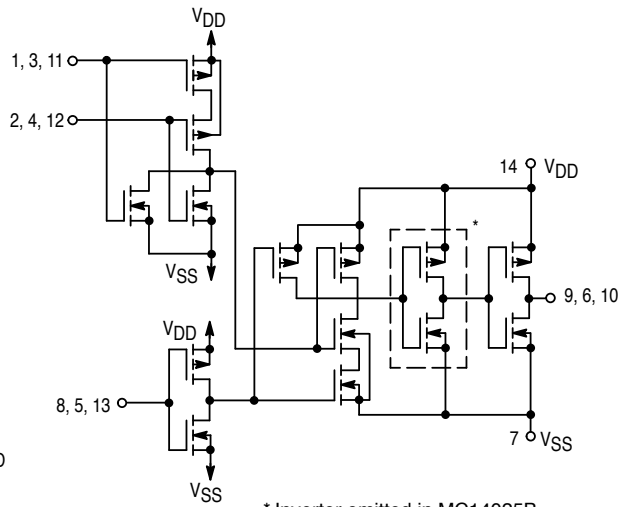
**CIRCUIT SCHEMATIC  
NOR, OR GATES**

**MC14001B, MC14071B  
One of Four Gates Shown**



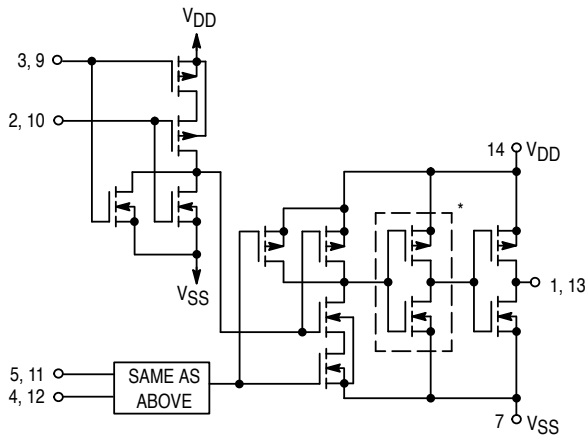
\* Inverter omitted in MC14001B

**MC14025B, MC14075B  
One of Three Gates Shown**



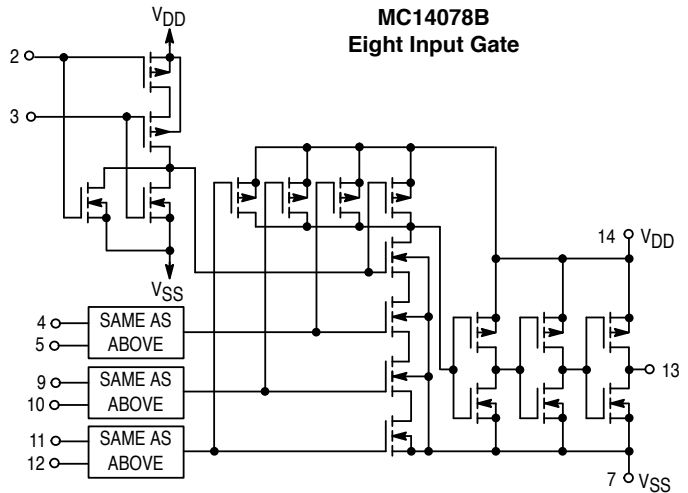
\* Inverter omitted in MC14025B

**MC14002B, MC14072B  
One of Two Gates Shown**



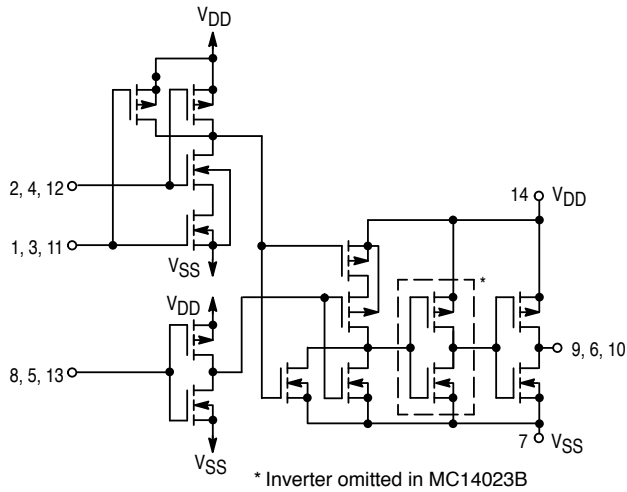
\* Inverter omitted in MC14002B

**MC14078B  
Eight Input Gate**

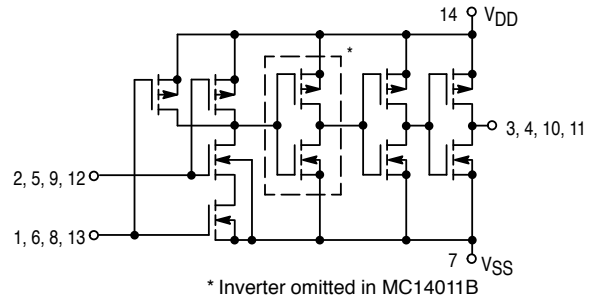


**CIRCUIT SCHEMATIC  
NAND, AND GATES**

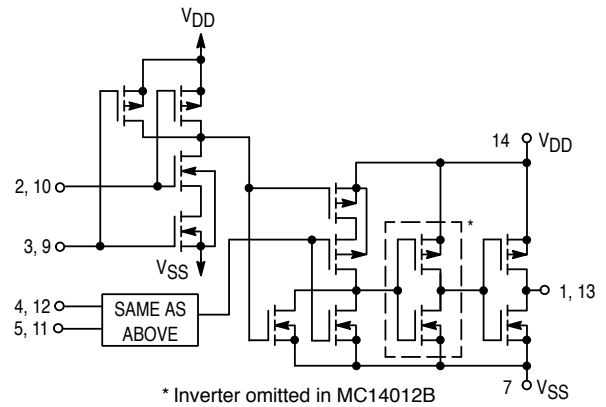
**MC14023B, MC14073B  
One of Three Gates Shown**



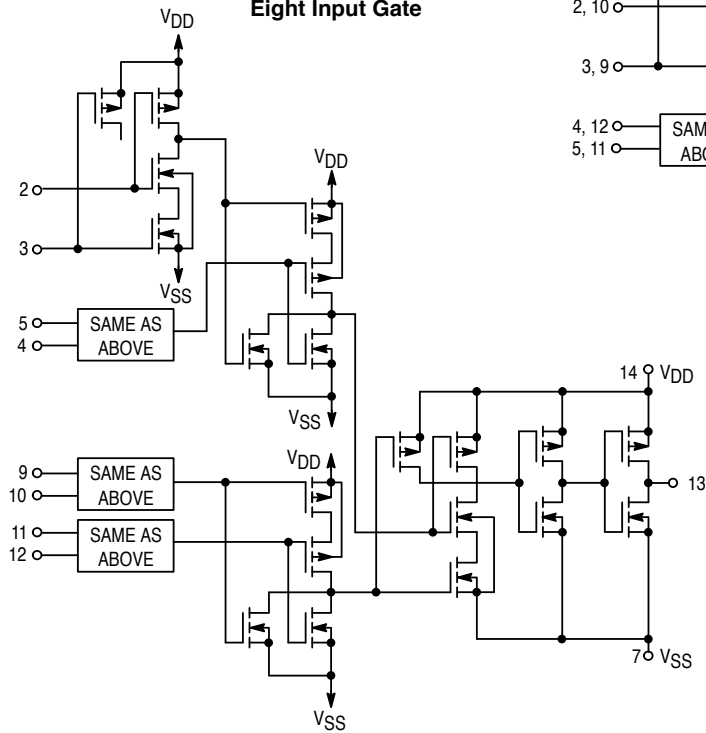
**MC14011B, MC14081B  
One of Four Gates Shown**



**MC14012B, MC14082B  
One of Two Gates Shown**

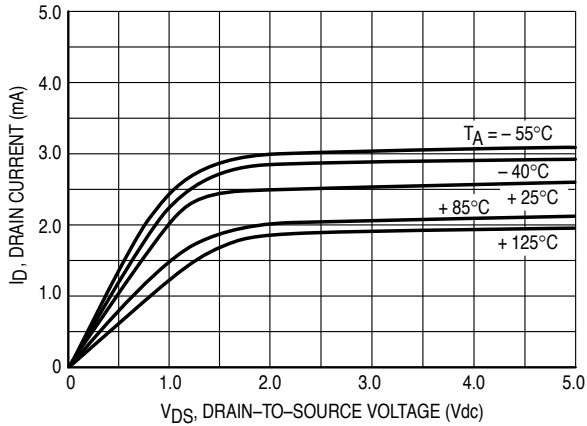


**MC14068B  
Eight Input Gate**



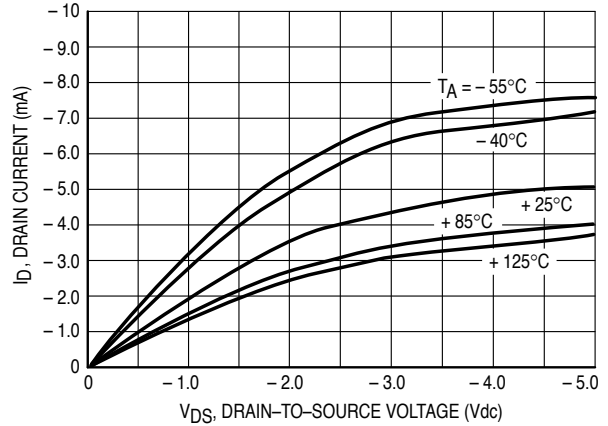
## TYPICAL B-SERIES GATE CHARACTERISTICS

**N-CHANNEL DRAIN CURRENT (SINK)**

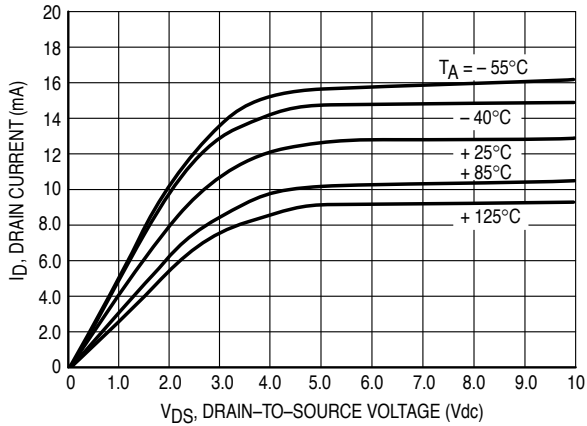


**Figure 2.  $V_{GS} = 5.0$  Vdc**

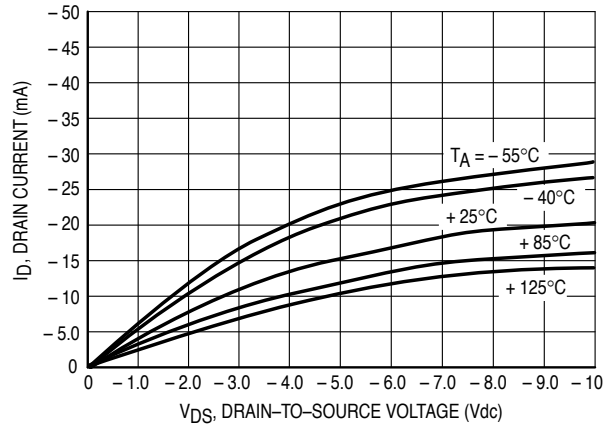
**P-CHANNEL DRAIN CURRENT (SOURCE)**



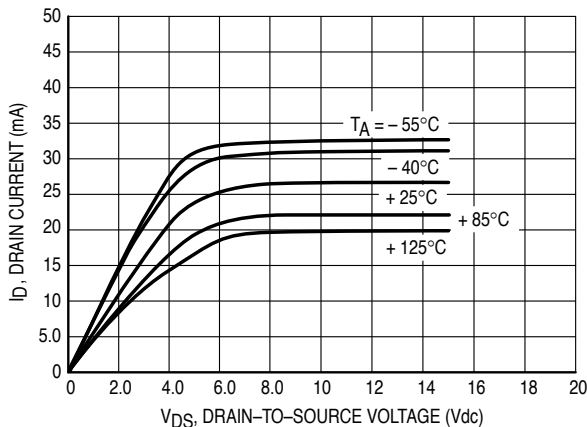
**Figure 3.  $V_{GS} = -5.0$  Vdc**



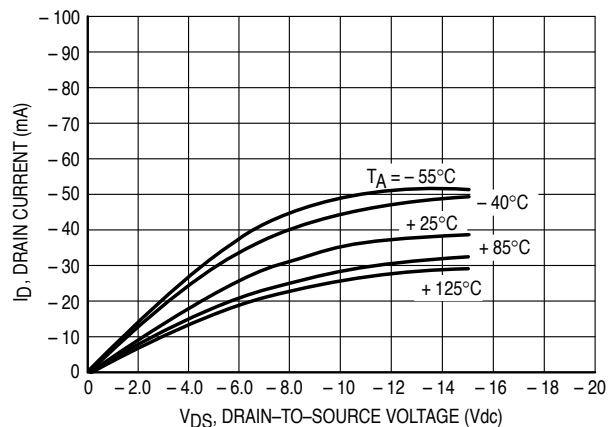
**Figure 4.  $V_{GS} = 10$  Vdc**



**Figure 5.  $V_{GS} = -10$  Vdc**



**Figure 6.  $V_{GS} = 15$  Vdc**

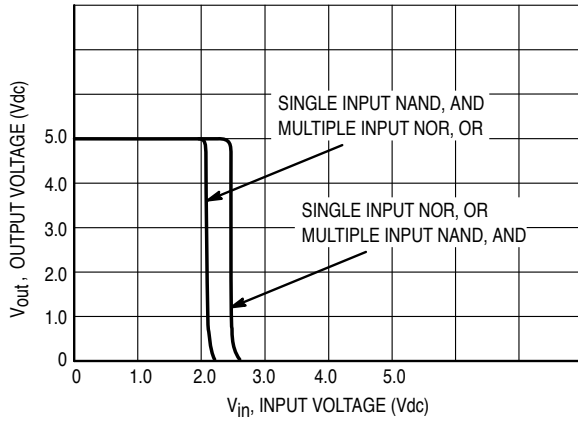


**Figure 7.  $V_{GS} = -15$  Vdc**

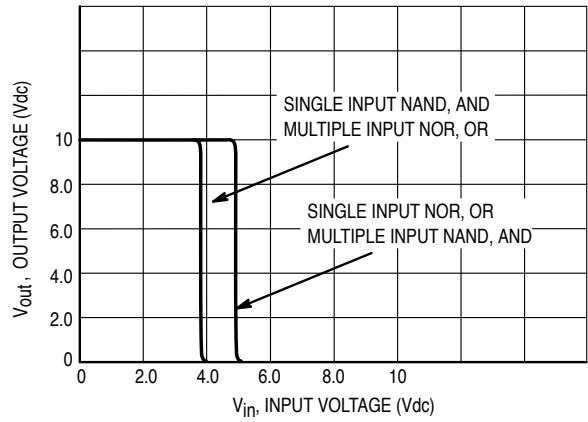
These typical curves are not guarantees, but are design aids.  
Caution: The maximum rating for output current is 10 mA per pin.

**TYPICAL B-SERIES GATE CHARACTERISTICS (cont'd)**

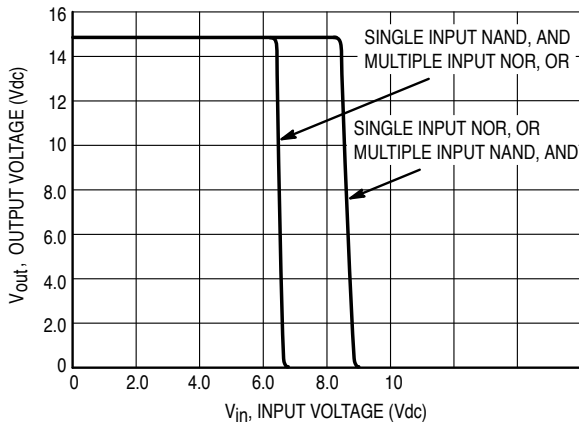
**VOLTAGE TRANSFER CHARACTERISTICS**



**Figure 8.  $V_{DD} = 5.0$  Vdc**



**Figure 9.  $V_{DD} = 10$  Vdc**



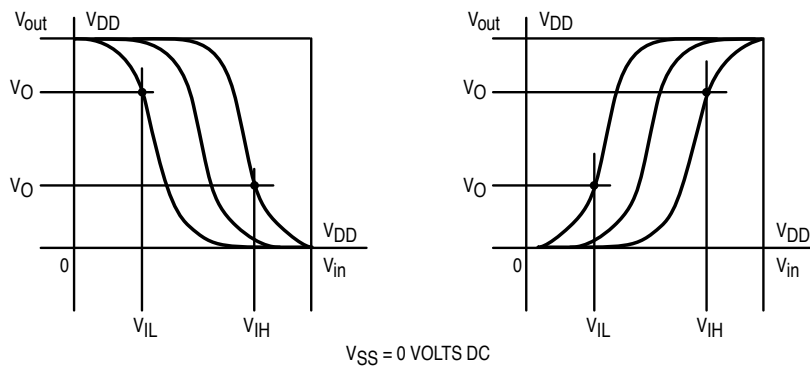
**Figure 10.  $V_{DD} = 15$  Vdc**

**DC NOISE MARGIN**

The DC noise margin is defined as the input voltage range from an ideal "1" or "0" input level which does not produce output state change(s). The typical and guaranteed limit values of the input values  $V_{IL}$  and  $V_{IH}$  for the output(s) to be at a fixed voltage  $V_O$  are given in the Electrical Characteristics table.  $V_{IL}$  and  $V_{IH}$  are presented graphically in Figure 11.

Guaranteed minimum noise margins for both the "1" and "0" levels =

- 1.0 V with a 5.0 V supply
- 2.0 V with a 10.0 V supply
- 2.5 V with a 15.0 V supply



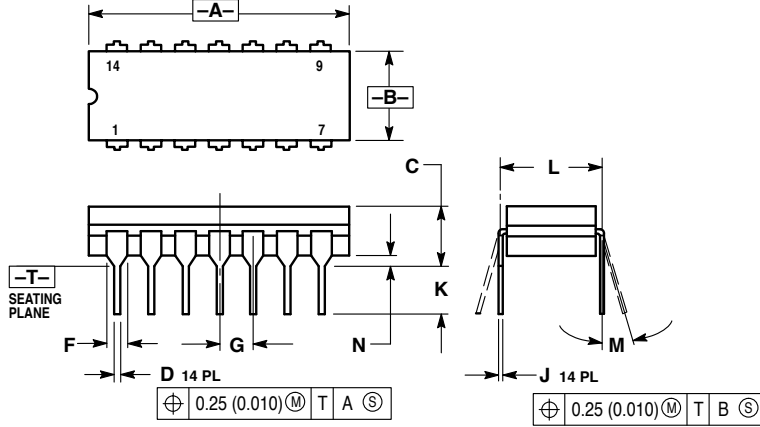
**(a) Inverting Function**

**(b) Non-Inverting Function**

**Figure 11. DC Noise Immunity**

## OUTLINE DIMENSIONS

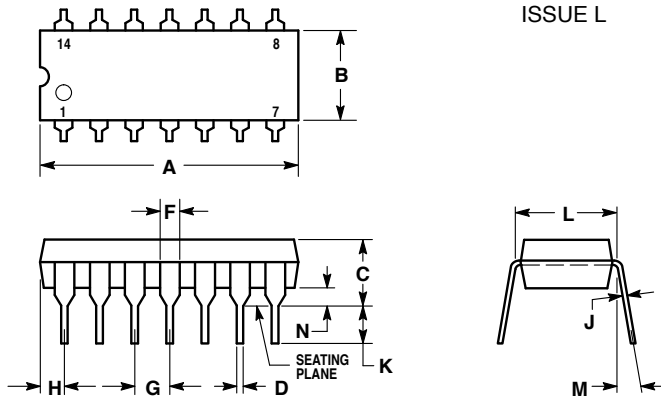
### L SUFFIX CERAMIC DIP PACKAGE CASE 632-08 ISSUE Y



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: INCH.
  3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
  4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°		15°	
N	0.020	0.040	0.51	1.01

### P SUFFIX PLASTIC DIP PACKAGE CASE 646-06 ISSUE L

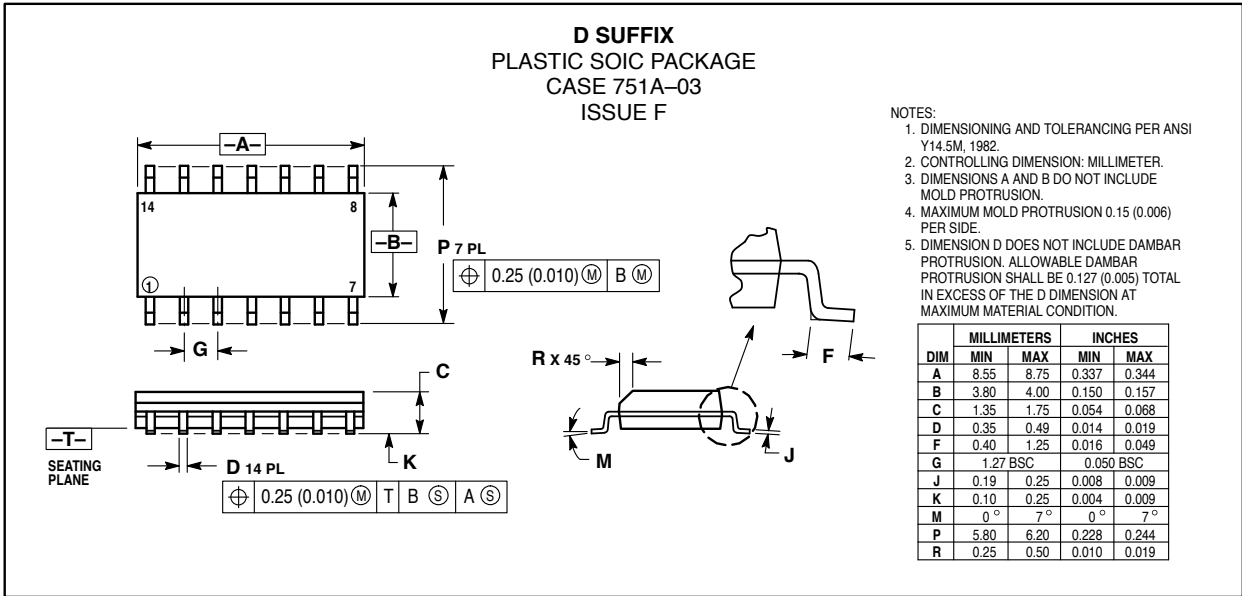


- NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
  2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
  3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
  4. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°		10°	
N	0.015	0.039	0.39	1.01

## OUTLINE DIMENSIONS

### D SUFFIX PLASTIC SOIC PACKAGE CASE 751A-03 ISSUE F



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

**How to reach us:**  
**USA/EUROPE/Locations Not Listed:** Motorola Literature Distribution;  
 P.O. Box 20912; Phoenix, Arizona 85036. 1-800-441-2447 or 602-303-5454

**JAPAN:** Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, 6F Seibu-Butsuryu-Center,  
 3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-81-3521-8315

**MFAX:** RMFAX0@email.sps.mot.com - TOUCHTONE 602-244-6609  
**INTERNET:** http://Design-NET.com

**ASIA/PACIFIC:** Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,  
 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



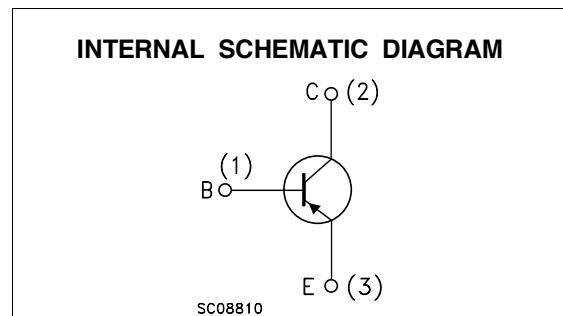
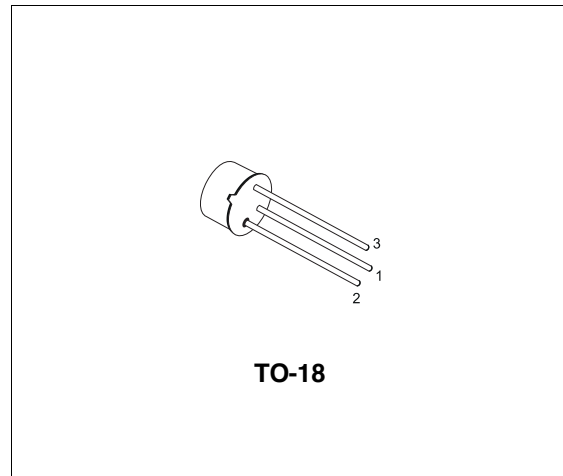


**BC107**  
**BC107B**

## LOW NOISE GENERAL PURPOSE AUDIO AMPLIFIERS

### DESCRIPTION

The BC107 and BC107B are silicon Planar Epitaxial NPN transistors in TO-18 metal case. They are suitable for use in driver stages, low noise input stages and signal processing circuits of television receivers. The PNP complementary types are BC177 and BC177B respectively.



### ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
$V_{CBO}$	Collector-Base Voltage ( $I_E = 0$ )	50	V
$V_{CEO}$	Collector-Emitter Voltage ( $I_B = 0$ )	45	V
$V_{EBO}$	Emitter-Base Voltage ( $I_C = 0$ )	6	V
$I_C$	Collector Current	100	mA
$P_{tot}$	Total Dissipation at $T_{amb} \leq 25\text{ }^\circ\text{C}$ at $T_C \leq 25\text{ }^\circ\text{C}$	0.3	W
		0.75	W
$T_{stg}$	Storage Temperature	-55 to 175	$^\circ\text{C}$
$T_j$	Max. Operating Junction Temperature	175	$^\circ\text{C}$

## BC107 / BC107B

### THERMAL DATA

$R_{thj-case}$	Thermal Resistance Junction-Case	Max	200	$^{\circ}C/W$
$R_{thj-amb}$	Thermal Resistance Junction-Ambient	Max	500	$^{\circ}C/W$

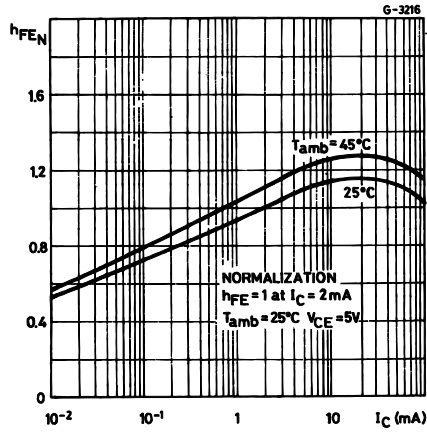
### ELECTRICAL CHARACTERISTICS ( $T_{case} = 25^{\circ}C$ unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$I_{CBO}$	Collector Cut-off Current ( $I_E = 0$ )	$V_{CB} = 40 V$ $V_{CB} = 40 V \quad T_C = 150^{\circ}C$			15 15	nA $\mu A$
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage ( $I_E = 0$ )	$I_C = 10 \mu A$	50			V
$V_{(BR)CEO}^*$	Collector-Emitter Breakdown Voltage ( $I_B = 0$ )	$I_C = 10 mA$	45			V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage ( $I_C = 0$ )	$I_E = 10 \mu A$	6			V
$V_{CE(sat)}^*$	Collector-Emitter Saturation Voltage	$I_C = 10 mA \quad I_B = 0.5 mA$ $I_C = 100 mA \quad I_B = 5 mA$		70 200	250 600	mV mV
$V_{BE(sat)}^*$	Base-Emitter Saturation Voltage	$I_C = 10 mA \quad I_B = 0.5 mA$ $I_C = 100 mA \quad I_B = 5 mA$		750 950		mV mV
$V_{BE(on)}^*$	Base-Emitter On Voltage	$I_C = 2 mA \quad V_{CE} = 5 V$ $I_C = 10 mA \quad V_{CE} = 5 V$	550	650 700	700 770	mV mV
$h_{FE}^*$	DC Current Gain	$I_C = 2 mA \quad V_{CE} = 5 V$ for <b>BC107</b> for <b>BC107B</b> $I_C = 10 \mu A \quad V_{CE} = 5 V$ for <b>BC107</b> for <b>BC107B</b>	110 200  40		450 450	
$h_{fe}^*$	Small Signal Current Gain	$I_C = 2 mA \quad V_{CE} = 5 V \quad f = 1 KHz$ for <b>BC107</b> for <b>BC107B</b> $I_C = 10 mA \quad V_{CE} = 10 V \quad f = 100 MHz$		250 300 2		
$C_{CBO}$	Collector-Base Capacitance	$I_E = 0 \quad V_{CB} = 10 V \quad f = 1MHz$		4	6	pF
$C_{EBO}$	Emitter-Base Capacitance	$I_C = 0 \quad V_{EB} = 0.5 V \quad f = 1MHz$		12		pF
NF	Noise Figure	$I_C = 0.2 mA \quad V_{CE} = 5 V$ $f = 1KHz \quad R_g = 2K\Omega \quad B = 200Hz$		2	10	dB
$h_{ie}$	Input Impedance	$I_C = 2 mA \quad V_{CE} = 5 V \quad f = 1KHz$ for <b>BC107</b> for <b>BC107B</b>		4 4.8		K $\Omega$ K $\Omega$
$h_{re}$	Reverse Voltage Ratio	$I_C = 2 mA \quad V_{CE} = 5 V \quad f = 1KHz$ for <b>BC107</b> for <b>BC107B</b>		2.2 2.7		$10^{-4}$ $10^{-4}$
$h_{oe}$	Output Admittance	$I_C = 2 mA \quad V_{CE} = 5 V \quad f = 1KHz$ for <b>BC107</b> for <b>BC107B</b>		30 26		$\mu S$ $\mu S$

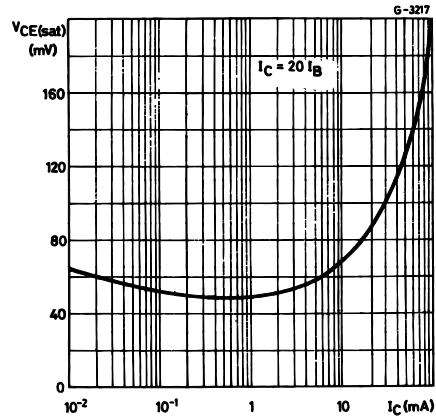
\* Pulsed: Pulse duration = 300  $\mu s$ , duty cycle  $\leq 1\%$



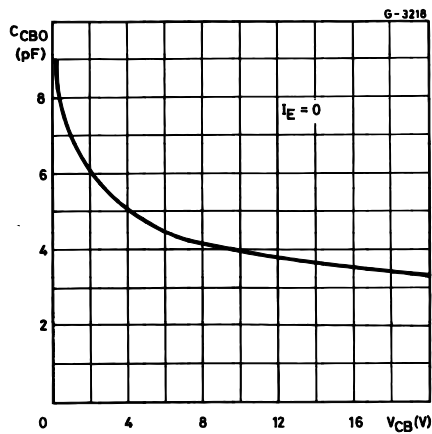
DC Normalized Current Gain.



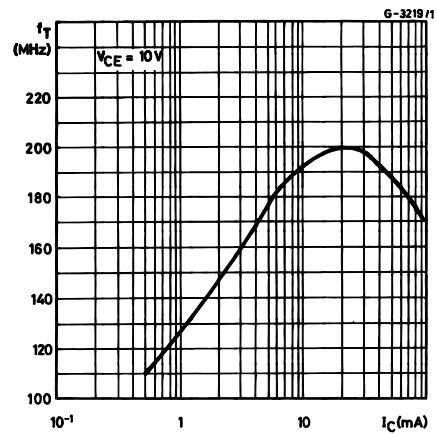
Collector-Emitter Saturation Voltage



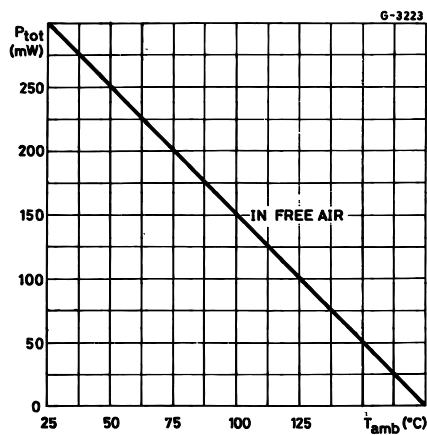
Collector-Base Capacitance



Transition Frequency

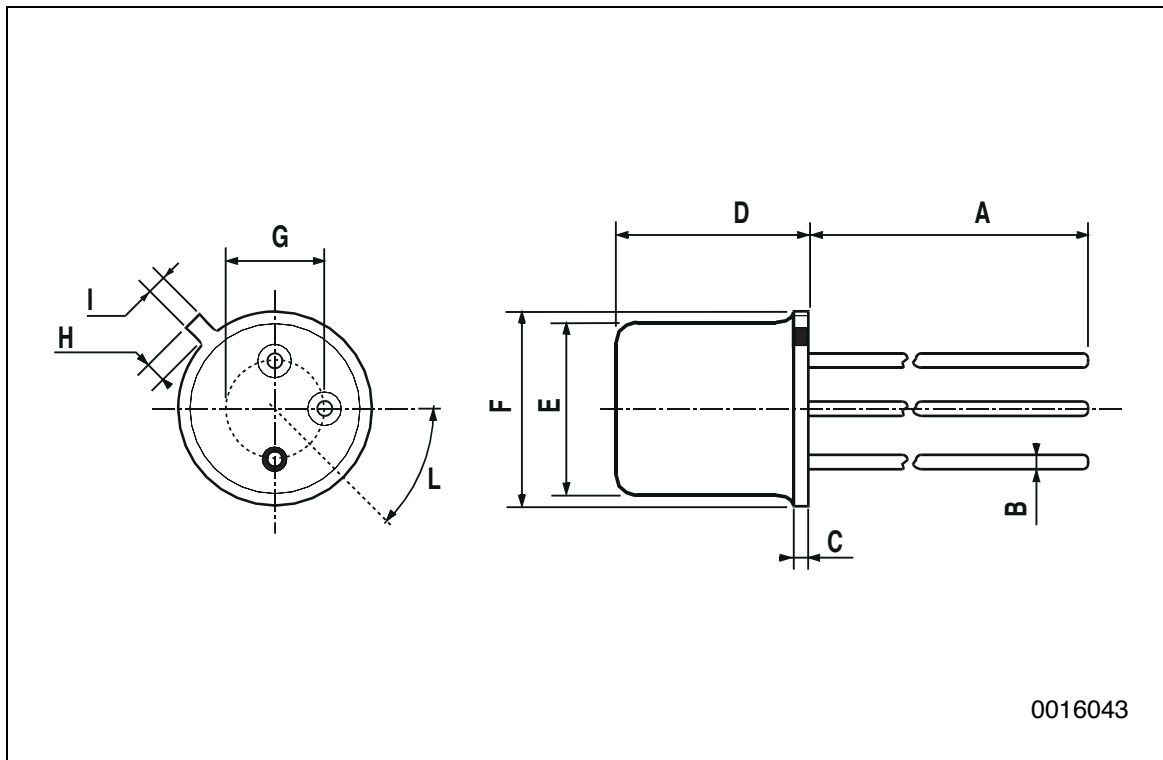


Power Rating Chart



**TO-18 MECHANICAL DATA**

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A		12.7			0.500	
B			0.49			0.019
D			5.3			0.208
E			4.9			0.193
F			5.8			0.228
G	2.54			0.100		
H			1.2			0.047
I			1.16			0.045
L	45°			45°		



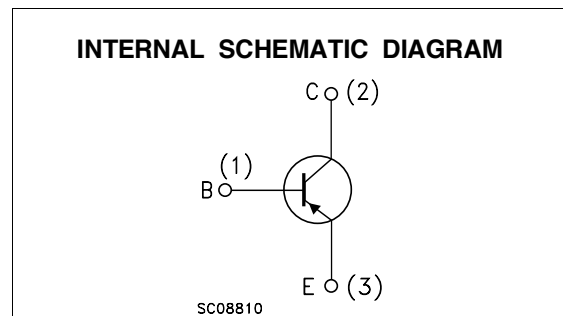
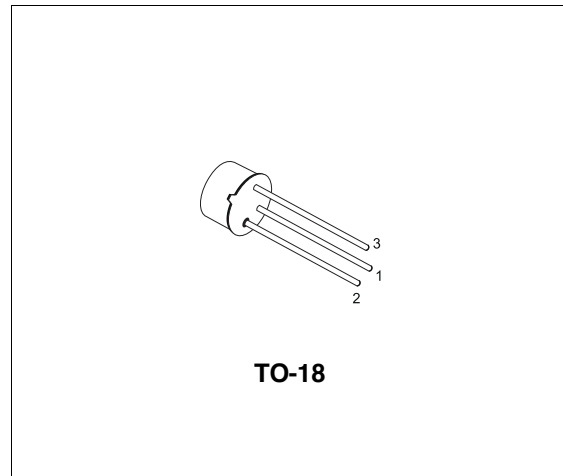


**BC177**  
**BC177B**

## LOW NOISE GENERAL PURPOSE AUDIO AMPLIFIERS

### DESCRIPTION

The BC177 and BC177B are silicon Planar Epitaxial PNP transistors in TO-18 metal case. They are suitable for use in driver stages, low noise input stages and signal processing circuits of television receivers. The NPN complementary types are BC107 and BC107B respectively.



### ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
$V_{CES}$	Collector-Emitter Voltage ( $V_{BE} = 0$ )	-50	V
$V_{CEO}$	Collector-Emitter Voltage ( $I_B = 0$ )	-45	V
$V_{EBO}$	Emitter-Base Voltage ( $I_C = 0$ )	-5	V
$I_C$	Collector Current	-100	mA
$I_{CM}$	Collector Peak Current	-200	mA
$P_{tot}$	Total Dissipation at $T_{amb} \leq 25^\circ\text{C}$	0.3	W
$T_{stg}$	Storage Temperature	-65 to 175	$^\circ\text{C}$
$T_J$	Max. Operating Junction Temperature	175	$^\circ\text{C}$

## BC177 - BC177B

### THERMAL DATA

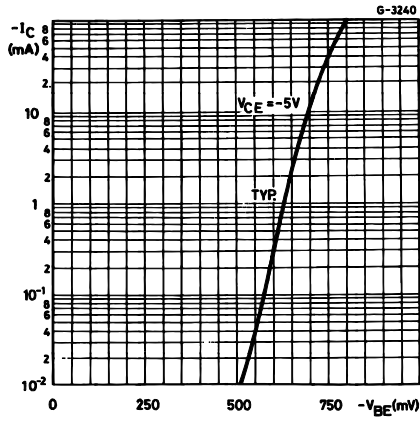
$R_{thj-case}$	Thermal Resistance Junction-Case	Max	200	$^{\circ}C/W$
$R_{thj-amb}$	Thermal Resistance Junction-Ambient	Max	500	$^{\circ}C/W$

### ELECTRICAL CHARACTERISTICS ( $T_{case} = 25^{\circ}C$ unless otherwise specified)

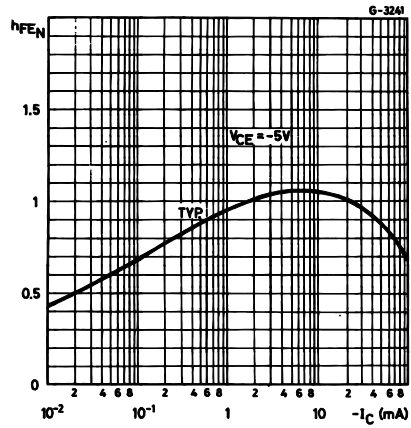
Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$I_{CES}$	Collector Cut-off Current ( $V_{BE} = 0$ )	$V_{CE} = -20 V$ $V_{CE} = -20 V$ $T_C = 150^{\circ}C$		-1	-100 -10	nA $\mu A$
$V_{(BR)CES}$	Collector-Emitter Breakdown Voltage ( $V_{BE} = 0$ )	$I_C = -10 \mu A$	-50			V
$V_{(BR)CEO}^*$	Collector-Emitter Breakdown Voltage ( $I_B = 0$ )	$I_C = -2 mA$	-45			V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage ( $I_C = 0$ )	$I_E = -10 \mu A$	-5			V
$V_{CE(sat)}^*$	Collector-Emitter Saturation Voltage	$I_C = -10 mA$ $I_B = -0.5 mA$ $I_C = -100 mA$ $I_B = -5 mA$		-75 -200	-250	mV mV
$V_{BE(sat)}^*$	Base-Emitter Saturation Voltage	$I_C = -10 mA$ $I_B = -0.5 mA$ $I_C = -100 mA$ $I_B = -5 mA$		-720 -860		mV mV
$V_{BE(on)}^*$	Base-Emitter On Voltage	$I_C = -2 mA$ $V_{CE} = -5 V$	-550	-640	-750	mV
$h_{fe}^*$	Small Signal Current Gain	$I_C = -2 mA$ $V_{CE} = -5 V$ $f = 1 KHz$ for <b>BC177</b> for <b>BC177B</b>	125 240		500 500	
$f_T$	Transition Frequency	$I_C = -10 mA$ $V_{CE} = -5 V$ $f = 100 MHz$		200		MHz
$C_{CBO}$	Collector-Base Capacitance	$I_E = 0$ $V_{CB} = -10 V$ $f = 100 KHz$		5		pF
NF	Noise Figure	$I_C = -0.2 mA$ $V_{CE} = -5 V$ $f = 1 KHz$ $R_g = 2 K\Omega$ $B = 200 Hz$		2	10	dB
$h_{ie}$	Input Impedance	$I_C = -2 mA$ $V_{CE} = -5 V$ $f = 1 KHz$		5		$K\Omega$
$h_{re}$	Reverse Voltage Ratio	$I_C = -2 mA$ $V_{CE} = -5 V$ $f = 1 KHz$		4		$10^{-4}$
$h_{oe}$	Output Admittance	$I_C = -2 mA$ $V_{CE} = -5 V$ $f = 1 KHz$		30		$\mu S$

\* Pulsed: Pulse duration = 300  $\mu s$ , duty cycle  $\leq 1\%$

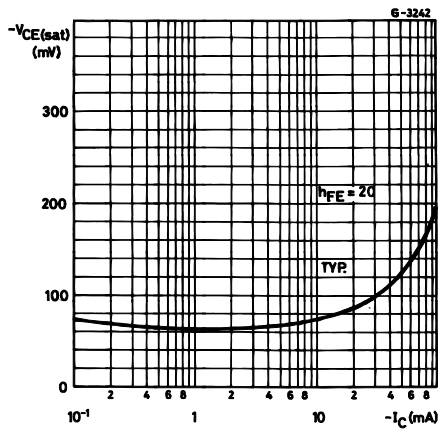
DC Transconductance.



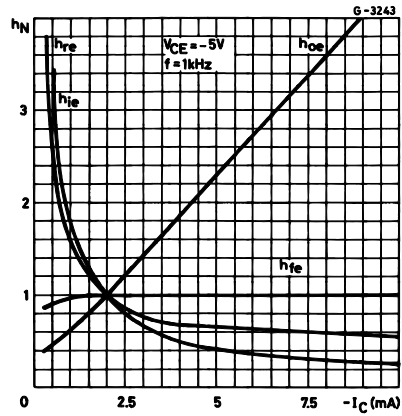
DC Normalized Current Gain.



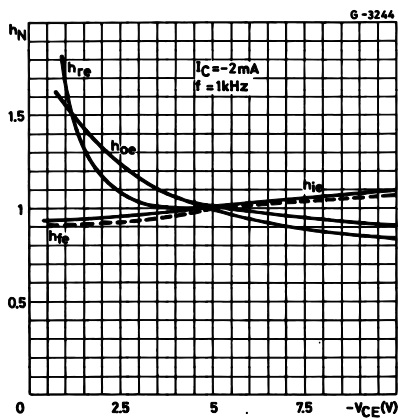
Collector-emitter Saturation Voltage.



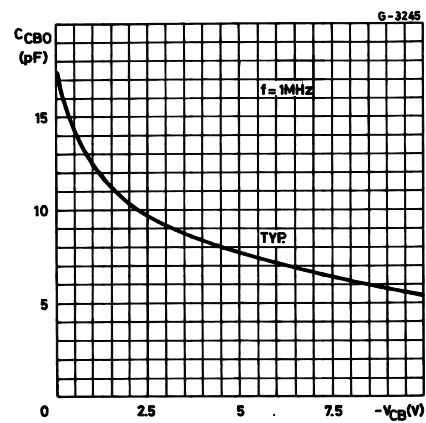
Normalized h Parameters.



Normalized h Parameters.

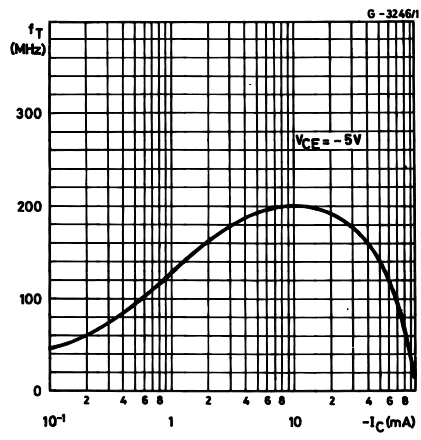


Collector-base Capacitance.

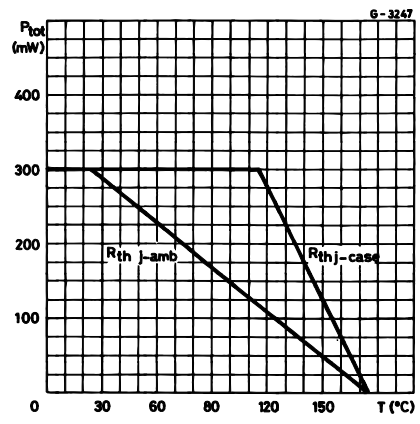


# BC177 - BC177B

Transition Frequency.

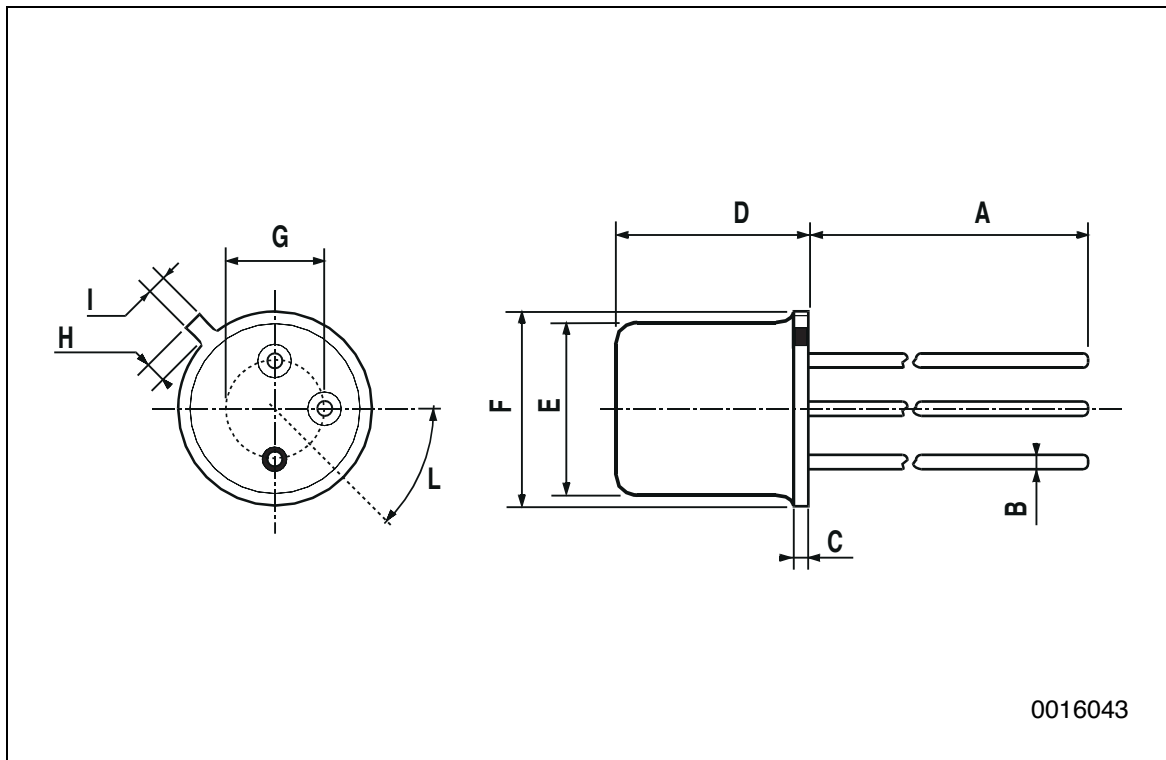


Power Rating Chart.



**TO-18 MECHANICAL DATA**

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A		12.7			0.500	
B			0.49			0.019
D			5.3			0.208
E			4.9			0.193
F			5.8			0.228
G	2.54			0.100		
H			1.2			0.047
I			1.16			0.045
L	45°			45°		



# CODICE DEI COLORI DELLE RESISTENZE

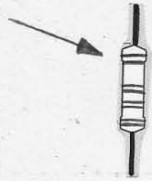
## RESISTENZE A IMPASTO DI CARBONE



COLORE	1 ANELLO	COLORE	2 ANELLO	COLORE	3 ANELLO	COLORE	4 ANELLO
NERO	0	NERO	0	ORO	:10		
MARRONE	1	MARRONE	1	NERO	X 1		
ROSSO	2	ROSSO	2	MARRONE	X 10		
ARANCIONE	3	ARANCIONE	3	ROSSO	X 100		
GIALLO	4	GIALLO	4	ARANCIONE	X 1k		
VERDE	5	VERDE	5	GIALLO	X 10k		
BLU	6	BLU	6	VERDE	X 100k		
VIOLA	7	VIOLA	7	BLU	X 1M		
GRIGIO	8	GRIGIO	8	VIOLA	X 10M		
BIANCO	9	BIANCO	9				

TOLLERANZA	COLORE
ORO	5%
ARGENTO	10%



**ESEMPI DI LETTURA DELLE RESISTENZE AL 5% ( COLORE DEL 4 ANELLO ORO )**  
 IDENTIFICARE IL 4 ANELLO DELLA TOLLERANZA E METTERLO ALLA PROPRIA DESTRA  
 INIZIARE A LEGGERE I COLORI DEGLI ANELLI DA SINISTRA :

1 anello	2 anello	3 anello	4 anello
MARRONE - NERO	- ROSSO	-ORO EQUIVALE A 1 - 0 - X 100	CIOE' A 1000 Ω ( 1 kΩ )
MARRONE - NERO	- ARANCIONE	-ORO EQUIVALE A 1 - 0 - X 1k	CIOE' A 10000 Ω ( 10 kΩ )
GIALLO - VIOLA	- ROSSO	-ORO EQUIVALE A 4 - 7 - X 100	CIOE' A 4700 Ω ( 4,7 kΩ )
GIALLO - VIOLA	- GIALLO	-ORO EQUIVALE A 4 - 7 - X 10k	CIOE' A 470000 Ω ( 470 kΩ )

### VALORI COMMERCIALI

10	12	15	18	22	27	33	39	47	56	68	82
----	----	----	----	----	----	----	----	----	----	----	----

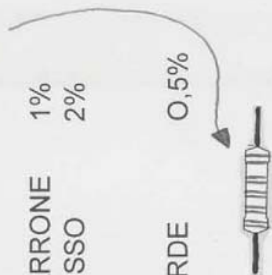
**LABORATORIO DIDATTICO DI ELETTRONICA --- AULA B3**



# CODICE DEI COLORI DELLE RESISTENZE RESISTENZE A STRATO METALLICO



COLORE	1 ANELLO	COLORE	2 ANELLO	COLORE	3 ANELLO	COLORE	4 ANELLO	COLORE	5 ANELLO	TOLLERANZA
NERO	O	NERO	O	NERO	O	NERO	X 1	MARRONE	1%	
MARRONE	1	MARRONE	1	MARRONE	1	MARRONE	X 10	ROSSO	2%	
ROSSO	2	ROSSO	2	ROSSO	2	ROSSO	X 100	ARANCIONE		
ARANCIONE	3	ARANCIONE	3	ARANCIONE	3	ARANCIONE	X 1k	GIALLO		
GIALLO	4	GIALLO	4	GIALLO	4	GIALLO	X 10k	VERDE		
VERDE	5	VERDE	5	VERDE	5	VERDE	X 100k	BLU		
BLU	6	BLU	6	BLU	6	BLU	X 1M	VIOLA		
VIOLA	7	VIOLA	7	VIOLA	7	VIOLA	X 10M			
GRIGIO	8	GRIGIO	8	GRIGIO	8					
BIANCO	9	BIANCO	9	BIANCO	9					



**ESEMPI DI LETTURA DELLE RESISTENZE A STRATO METALLICO AL 1% ( COLORE DEL 5 ANELLO MARRONE )**  
IDENTIFICARE IL 5 ANELLO DELLA TOLLERANZA ( CHE E' PIU' SPESSO ) E METTERLO ALLA PROPRIA DESTRA  
INIZIARE A LEGGERE I COLORI DEGLI ANELLI DA SINISTRA :

1 anello	2 anello	3 anello	4 anello	5 anello	
MARRONE - NERO	- ROSSO	- ROSSO	- ROSSO	- MARRONE	EQUIVALE A 1 - 0 - 2 - X 100 CIOE' A 10200 Ω ( 10,2 kΩ )
ROSSO	- NERO	- VERDE	- ROSSO	- MARRONE	EQUIVALE A 2 - 0 - 5 - X 100 CIOE' A 20500 Ω ( 20,5 kΩ )
GIALLO	- VIOLA	- VERDE	- ROSSO	- MARRONE	EQUIVALE A 4 - 7 - 5 - X 100 CIOE' A 47500 Ω ( 47,5 kΩ )
VIOLA	- BLU	- GRIGIO	- ARANCIONE	- MARRONE	EQUIVALE A 7 - 6 - 8 - X 1k CIOE' A 768000 Ω ( 768 kΩ )

## VALORI COMMERCIALI

10,0	10,2	10,5	10,7	11,0	11,3	11,5	11,8	12,1	12,4	12,7	13,0	13,3	13,7	14,0	14,3	14,7	15,0	15,4	15,8	16,2	16,5	
16,9	17,4	17,8	18,2	18,7	19,1	19,6	20,0	20,5	21,0	21,5	22,1	22,6	23,2	23,7	24,3	24,9	25,5	26,1	26,7	27,4	28,0	
28,7	29,4	30,9	31,6	32,4	33,0	33,2	34,0	34,8	35,7	36,5	37,4	38,3	39,2	40,2	41,2	42,2	43,2	44,2	45,3	46,4	47,5	
48,7	49,9	51,1	52,3	53,6	54,9	56,2	57,6	59,0	60,4	61,9	63,4	64,9	66,5	68,1	69,8	71,5	73,2	75,0	76,8	78,7	80,6	
82,5	84,5	86,6	88,7	90,9	93,1	95,3	97,6	...														

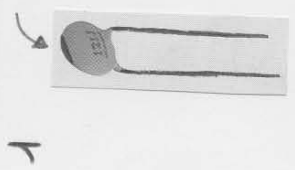
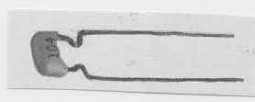

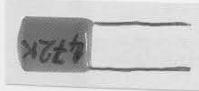
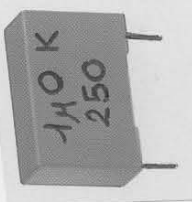

LABORATORIO DIDATTICO DI ELETTRONICA --- AULA B3

# CONDENSATORI unità di misura F = Farad

## CERAMICI

## POLIESTERE

## ELETTROLITICI

<b>1</b>  RIGA NERA = NPO 121 J 120 pF	<b>2</b>  104 $10\ 000\ \mu\text{F} = 100\ \mu\text{F}$	<b>3</b>  1n5K-100 1,5nF K=10% 100V	<b>4</b>  472K 2A 472 K $4700\ \text{pF} = 4,7\ \text{nF}$ K = 10% 2A 683 J $68000\ \text{pF} = 68\ \text{nF}$ J = 5%
<b>5</b>  110 K 250 110 K 250 10% 250V		<b>6</b> MWR . 68 / 10% 250V  . 68 $\mu\text{F}$ = 680nF 10% 250V	

NEI CONDENSATORI SE NON SPECIFICATO diversamente il VALORE E' ESPRESSO IN picroFarad = pf ; 1000pF = 1kpF = 1nF ; 1000nF=1uF ; 1000uF=1mF ; 1000mF=1F NPO = stabili in temperatura , variando la temperatura il valore della capacità non cambia

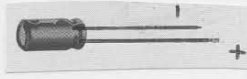


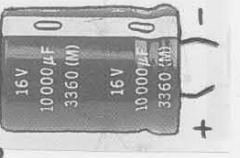
<b>7</b>  + -	<b>8</b>  + -
<b>9</b>  + -	<b>10</b>  + - 10000 $\mu\text{F}$ 16V 20% 10 $\mu\text{F}$ 25V

figura	CONDENSATORI	UTILIZZO	VALORI	TENSIONE	TOLLERANZA
1	CERAMICI A DISCO	ALTE FREQ.	da 1pF a 100nF	50V	J=5%, K=10%, M=20%
2	MULTISTRATO VERTICALI	ALTE FREQ.	da 4,7pF a 1uF	63V , 100V	J=5%, K=10%, M=20%
3	POLIESTERE METALLIZZATO	BASSE FREQ.	da 1nF a 2,2uF	50V , 100V	K=10%
4	POLIESTERE MYLAR	BASSE FREQ.	da 1nF a 470nF	100V	K=10%
5	POLIESTERE METALLIZZATO	BASSE FREQ.	da 1nF a 10uF	da250a1000V	J=5%, K=10%, M=20%
6	POLIESTERE METALLIZZATO	BASSE FREQ.	da 1nF a 470nF	da250a1000V	K=10%
7, 8	ELETTROLITICI VERTICALI	BASSE FREQ.	da 1uF a 4700uF	da 16 a 350V	M=20%
9	ELETTROLITICI ORIZZONTALI	BASSE FREQ.	da 1uF a 4700uF	da 16 a 350V	M=20%
10	ELETTROLITICI " SNAP-IN "	BASSE FREQ.	da 68uFa10000uF	da 16 a 400V	M=20%
11	TANTALIO A GOCCIA	BASSE FREQ.	da 0,1uF a 47uF	da 16 a 50V	M=20%

VERTICALE = RADIALE  
 ORIZZONTALE = ASSIALE  
 I CONDENSATORI ELETTROLITICI PIU' COMUNI SONO POLARIZZATI CIOE' + GAMBA PIU' LUNGA - GAMBA PIU' CORTA  
 ATTENZIONE NON INVERTIRE LA POLARITA'

**VALORI COMMERCIALI**  
 10 12 15 18 22 27 33 39 47 56 68 82  
**LABORATORIO DIDATTICO DI ELETTRONICA --- AULA B3**