

TECNICHE PER MIGLIORARE LE PRESTAZIONI IN TERMINI DI SIGNAL INTEGRITY DI BOARD PER IL TEST DI MEMORIE FLASH

A.G. Chiariello¹, C. Leonetti², A. Maffucci³, G. Miano¹

¹DIEL, Università Federico II di Napoli, Via Claudio 21, 80125, Napoli

²NUMONYX, Via R. De Feo 1, 80022 Arzano (NA)

³DAEIMI, Università di Cassino, Via Di Biasio 43, 03043 Cassino (FR)

La verifica funzionale delle memorie flash è affidata a sofisticati sistemi di test che devono poter consentire la valutazione del comportamento di ogni singolo pin della memoria in tutte le configurazioni di interesse per il suo funzionamento. Lo schema-tipo di set-up del test di una memoria (Fig.1a) evidenzia la necessità di prevedere una board per interfacciare il generatore di segnale e la memoria. Al fine di consentire il corretto funzionamento di questi test è fondamentale che questa board preservi la *Signal Integrity* (SI). L'oggetto dell'attività di ricerca di questa collaborazione è appunto l'analisi dell'effetto delle board nelle prestazioni complessive del sistema in termini di SI.

Con l'aumento delle frequenze la principale causa di degrado della SI nelle board è sicuramente la presenza di interconnessioni, dal momento che la velocità di commutazione degli elementi concentrati è confrontabile con i tempi di propagazione lungo le interconnessioni [1-2]. Oltre le centinaia di MHz, l'integrità del segnale è sensibile ad una serie di fattori: il percorso del segnale, le impedenze e la distribuzione dell'alimentazione [1-2]. Si possono individuare due ordini di problemi:

- Problemi digitali: solitamente legati alla temporizzazione. Errate temporizzazioni dovute a ritardi non uguali portano conflitti del bus, violazioni di setup & hold, metastabilità e race conditions.
- Problemi analogici: legati alla qualità del segnale. Tali problemi possono essere dovuti a fenomeni quali disadattamenti, crosstalk e rumore e si manifestano con segnali di scarsa ampiezza, lentezza dei tempi di transizione, anomalie, overshoot.

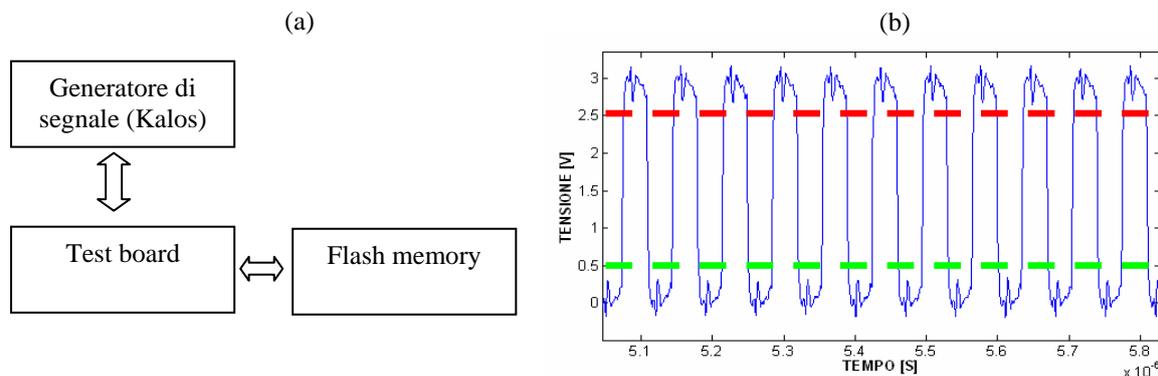


Figura 1. (a) Schema tipo di un sistema di test per memorie. (b) Esempio di segnale di test su un pin.

In Figura 1b è riportato un segnale misurato su uno dei pin di I/O di una memoria flash NAND durante un test. Tale segnale, pur presentando evidenti segni di degrado (ringing) riesce tuttavia a soddisfare pienamente le specifiche in termini di margine di rumore rispetto alle soglie di commutazione e di velocità dei tempi di salita/discesa.

Rispetto alle specifiche in termini di temporizzazione, uno dei problemi progettuali più rilevanti per le test board è l'equalizzazione dei ritardi ed il de-skewing. Spesso questa operazione viene effettuata off-chip da componenti passivi, che comportano meno problemi di complessità e costi più bassi rispetto a componenti attivi [4]. Una tipica struttura passiva per l'equalizzazione ed il de-skewing è la cosiddetta linea "a serpentina" [5]-[8]. L'analisi di queste strutture ad alta frequenza richiede un

modello full-wave [6-7]. Per le applicazioni oggetto di questa ricerca è sufficiente l'utilizzo di un modello a linea di trasmissione che porti in conto gli effetti degli accoppiamenti dei diversi tratti di serpentina contigua (Fig.2a). In Figura 2b-c-d sono riportati i risultati del confronto delle prestazioni tra una linea dritta e due realizzazioni a serpentina, che si differenziano per l'angolo di curvatura dei gomiti e la distanza tra una linea e l'altra. Sebbene il coefficiente di riflessione S_{11} possa aumentare sensibilmente per le serpentine strette (Fig.2b) dall'analisi delle prestazioni nel dominio del tempo si evince che problemi di SI iniziano ad essere significativi a livello di board solo per frequenze superiori alle centinaia di MHz (Figg.2b e 2c).

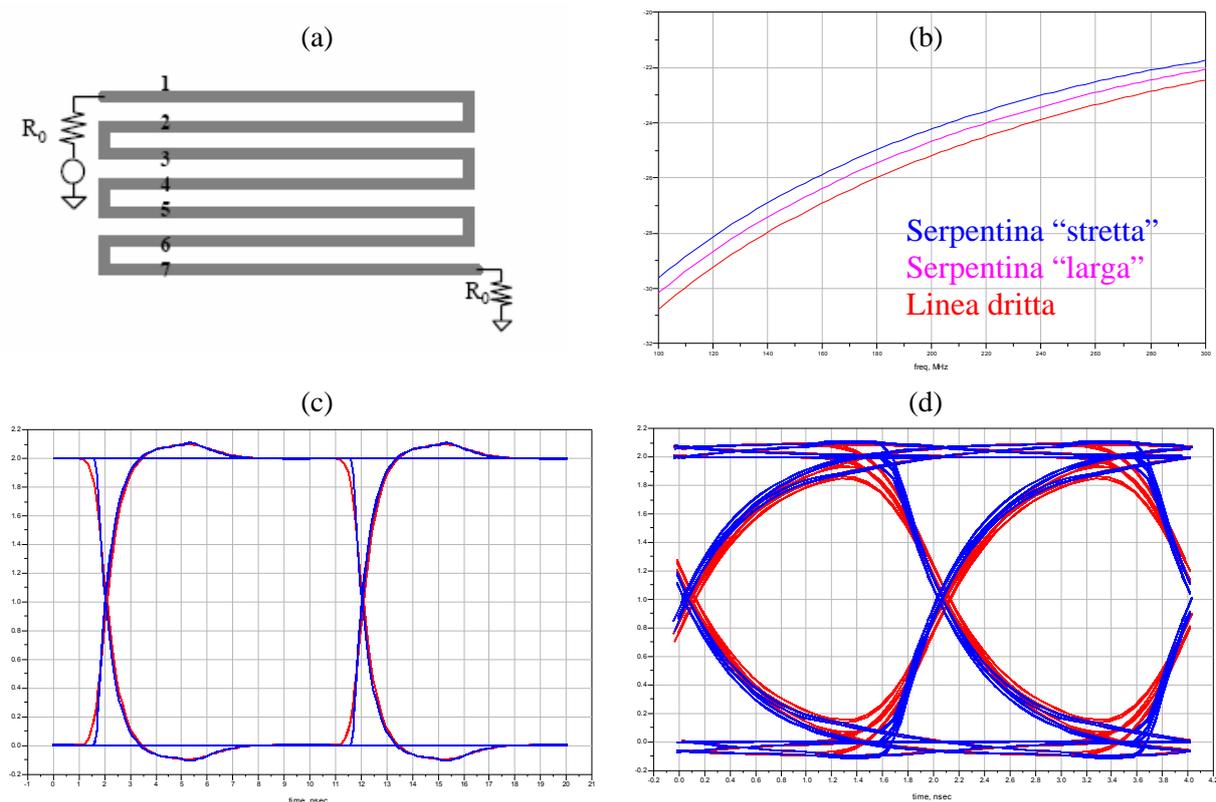


Figura 2. (a) Linea a serpentina; (b) Modulo di S_{11} ; diagramma ad occhio per (c) 100 MHz e (d) 500 MHz.

REFERENZE

- [1] S.C. Thierauf, *High-Speed Circuit Board Signal Integrity*, Artech House, 2004.
- [2] J. S. Schutt-Ainé., S. S. Kang, Guest Editors, Special Issues on "Interconnections – Addressing the Next Challenge of IC Technology", *IEEE Proceedings*, Vol. 89, no. 4, 5, 2001.
- [3] B. Analui and A. Hajimiri, "Statistical analysis of integrated passive delay lines", *Proc. IEEE 2003 Custom Integrated Circuits Conf.*, pp. 107- 110, Sept. 2003.
- [4] Fang-Lin Cho, "Timing skew of the equal-length serpentine routing", *IEEE ASIC Conference*, Sep.1993, pp.:546 – 549.
- [5] R. Wu and F. Chao, "Laddering wave in serpentine delay line," *IEEE Trans. Compon. Packag., Manufact. Technol.*, vol. 18, pp. 644–650, Nov. 1995.
- [6] B.J. Rubin, B. Singh, "Study of meander line delay in circuit boards" *IEEE Trans. on Microwave Theory and Tech.*, Vol. 48, 1452 – 1460, Sep. 2000.
- [7] H. Lee and J. Kim, "Unit cell approach to full-wave analysis of meander delay line using FDTD periodic structure modeling method", *IEEE Trans. Adv. Packag.*, vol. 25, pp. 215-222, May 2002.
- [8] A. Khajooeizadeh, R. Abhari, "Design of Compact Meander Delay Lines on Si Substrate", *Proc. of EPEP 2006, Electrical Performance of Electronic Packaging*, pp:141-144, Oct. 2006.