

CIRCUITI VLSI NEUROMORFI

V. Bonaiuto⁽¹⁾, F.Sargeni⁽¹⁾, M. Giulioni⁽¹⁾, P. Del Giudice⁽²⁾, V. Dante⁽²⁾, D Badoni⁽³⁾

⁽¹⁾ Dipartimento di Ingegneria Elettronica
Università di Roma Tor Vergata
Via del Politecnico 1, 00133 Roma

⁽²⁾ Dipartimento di Tecnologie e Salute
Istituto Superiore di Sanità
Viale Regina Elena 299, 00161 Roma

⁽³⁾ INFN – Sezione Roma Tor Vergata
Via della Ricerca Scientifica, 1, 00133 ROMA

Lo studio delle funzioni svolte dalla corteccia cerebrale sono state oggetto di studio, negli anni, da parte di numerose aree di ricerca quali la neurofisiologia, la psicologia cognitiva, la biologia molecolare, le discipline fisico-matematiche e l'ingegneria. Numerosi sono i modelli, basati su differenti approcci di tipo fisico, che sono stati sviluppati. Con il loro studio, si è cercato di individuare delle metodologie utili a comprendere il comportamento del sistema nel suo complesso a partire da modellizzazioni dei suoi componenti elementari. Questo al fine di indagare le basi della strategia computazionale del sistema biologico, con particolare riferimento ad alcuni dei meccanismi tipici quali sono l'apprendimento e la memorizzazione di informazioni.

Un sistema elettronico di tipo *neuromorfo* [1] è quindi un sistema basato su modelli che tentano di implementare la logica di elaborazione neurale mediante l'utilizzo di circuiti progettati seguendo la linea guida di avere ridottissimi consumi da un lato ed elevata tolleranza agli errori dall'altro. Numerose sono queste realizzazioni circuitali ad oggi disponibili presso diversi gruppi di ricerca in ambito internazionale [2-4]. L'attività intrapresa riguarda l'applicazione, a questo particolare settore di ricerca, delle metodologie e delle competenze sviluppate negli anni precedenti dagli autori relative alla progettazione di circuiti analogici in current-mode per l'elaborazione del segnale in tempo reale [5-7]. In particolare, tra gli obiettivi della presente ricerca è il progetto e la realizzazione di prototipi circuitali neuromorfi ad elevato grado di interconnessione al fine di realizzare una rete complessa che implementi un numero sufficientemente ampio di sinapsi in grado di emulare il comportamento di semplici sistemi biologici.

L'attività di ricerca si inserisce all'interno del progetto PRIN 2006 dal titolo "Approssimazione di reti di sistemi dinamici non lineari (modelli di neuroni biologicamente plausibili) e realizzazione di circuiti a struttura parallela per la loro emulazione" ed è svolta in collaborazione con ricercatori dell'Istituto Superiore di Sanità di Roma (ISS – Roma) e dell'INFN di Roma 2 (INFN – Roma Tor Vergata).

Lo studio ha riguardato dapprima la caratterizzazione, sia di tipo elettrico che comportamentale, dei diversi blocchi circuitali che costituiscono il circuito integrato F-LANN (F-Learning Adaptive Neural Network [8]) progettato presso i laboratori dell'ISS e INFN. Sulla base di tale studio, è stato progettato un nuovo sistema di interconnessione tra chip neuromorfi che permette la realizzazione di reti neuromorfe di grandi dimensioni mantenendo il carattere completamente "analogico" del circuito nella sua complessità di funzionamento. È stato progettato un circuito Multiplexer analogico, operante in regime di bassa potenza, in grado di collegare un numero N di alberi dendritici contenuti in chip "sinaptici" al corrispettivo neurone contenuto in un diverso chip "neuronic".

Il collegamento viene effettuato riducendo il numero di pin analogici di I/O necessari mediante una loro moltiplicazione nel tempo. L'architettura proposta prevede la moltiplicazione dei segnali in corrente che potrà essere realizzata con riduzioni 4:1, 8:1 oppure 16:1, con una relativa diminuzione del numero dei pin analogici di I/O (ad. es. nel caso di un numero di alberi dendritici pari a 128 i pin di I/O saranno 32, nel caso di moltiplicazione 4:1; 16 con moltiplicazione 8:1 oppure 8 con moltiplicazione 16:1). Il collegamento esterno ai chip è stato dimensionato per ottenere sulla pista del PCB una corrente dell'ordine di qualche microampere. Per fare ciò i circuiti OCA_OUT e OCA_IN sono stati opportunamente dimensionati per ottenere un guadagno complessivo di canale che sarà funzione del rapporto di moltiplicazione utilizzato.

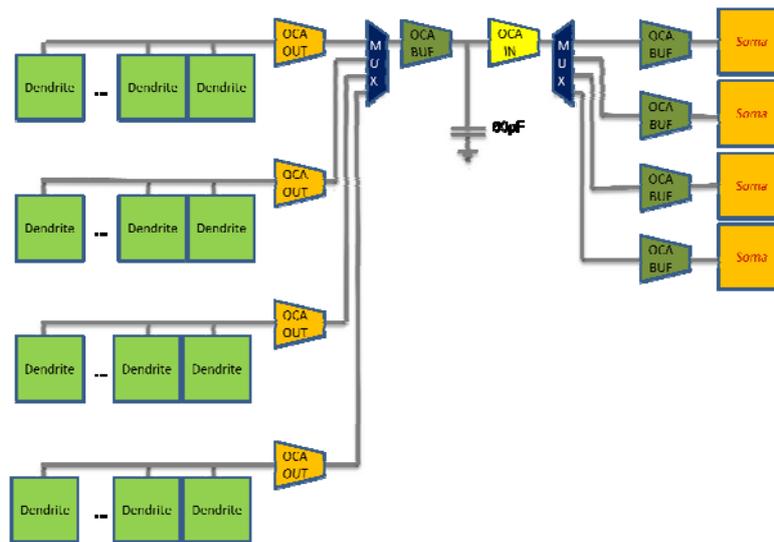


Figura 1: Schema del circuito di interconnessione

Sono state effettuate numerose misure per caratterizzare il canale di trasmissione così come è stato realizzato andando a verificare che i circuiti di moltiplicazione non introducessero modifiche tali da alterare le funzionalità della rete. Tutte le misure hanno mostrato che l'inserzione dei nuovi circuiti di moltiplicazione, confrontati con il circuito originale non ha alterato in modo significativo l'efficacia sinaptica dei circuiti dell'albero dendritico né, tantomeno, le funzionalità del circuito neuronale.

Bibliografia

1. Mead, C.A., Analog VLSI and Neural Systems, Addison-Wesley Publishing company, 1989
2. Tuckwell H.C., Introduction to Theoretical Neurobiology, Vol.2, Cambridge Univ. Press, 1988
3. Risken H., The Fokker-Planck Equation: Methods of Solution and Appl., Springer-Verlag, 1984.
4. Gerstner, Wulfram - Kistler, Werner, Spiking neuron models, Cambridge University Press, 2002.
5. Salerno M., Sargeni F., Bonaiuto V.: "An improved Architecture for the interconnections in a multi-chip CNN system", Proc. IEEE Int. Conf. on Circuits and Systems (ISCAS 1998), 1998, vol.3, pages. 143-146.
6. Sargeni F., Bonaiuto V.; Bonifazi M., Time division digital programmable OTA for cellular neural networks, Proceedings of the ECCTD 2005, Page(s): 75 – 78, vol. 1, 2005.
7. Sargeni F., Bonaiuto V.; Bonifazi M., Multiplexed Circuit for Star-CNN Architecture, Proceedings of the CNNA06, Page(s):1 – 5, 2006
8. Badoni, D.; Giulioni, M.; Dante, V.; Del Giudice, P.: An aVLSI recurrent network of spiking neurons with reconfigurable and plastic synapses" – Proceedings of ISCAS 2006